

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 45 631.3

**Anmeldetag:** 30. September 2002

**Anmelder/Inhaber:** Osram Opto Semiconductors GmbH,  
93049 Regensburg/DE

**Bezeichnung:** Halbleiterbauelement und Verfahren zur Herstellung

**IPC:** H 01 L, H 01 S

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 15. März 2006  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

A handwritten signature in black ink, appearing to read "Zum Bezug", is written over a stylized, decorative flourish.

Zum Bezug



## Beschreibung

## Halbleiterbauelement und Verfahren zur Herstellung

5 Die Erfindung betrifft ein Halbleiterbauelement und ein Verfahren zur Herstellung eines Halbleiterbauelements mit einer lichtemittierenden Halbleiterschicht oder einem lichtemittierenden Halbleiterelement und zwei Kontaktstellen, die als eine Kontaktschicht und ein Kontakt ausgebildet sind.

10 Ein solches Bauelement ist beispielsweise aus der DE 100 40 448 A1 bekannt. Dort wird ein Halbleiterchip mit beidseitigen Kontaktstellen und einer Verstärkungsschicht beschrieben, welches durch eine dicke Kontaktschicht und die 15 Verstärkungsschicht ausreichend verstärkt ist, dass zur mechanischen Stabilisierung des Chips kein Trägerkörper nötig ist. Eine flächendeckende Hilfsträgerschicht, die selektiv gegenüber der Verstärkungsschicht entfernt werden kann, wird zusätzlich auf die Verstärkungsschicht aufgebracht. Die 20 selektive Entfernung der Hilfsträgerschicht ermöglicht die Vereinzelung der Chips ohne Sägeprozeß.

Nachteilig an derartigen Bauelementen ist die Empfindlichkeit des Bauelements gegen wechselnde Temperaturen während des Herstellungsprozesses und im Betrieb. Diese führen zu thermischen Spannungen zwischen der relativ empfindlichen Halbleiterschicht und dem Trägerkörper, der üblicherweise einen höheren Ausdehnungskoeffizienten hat, als die Halbleiterschicht. Bei Erwärmung dehnt das Trägersubstrat sich stärker 30 aus als der Halbleiter und als Folge biegt sich das Bauelement auf. Solche thermischen Spannungen können Risse im Halbleiter verursachen, was zum Ausfall des Bauelements führt.

Aufgabe der vorliegenden Erfindung ist es daher, ein Halbleiterbauelement der eingangs genannten Art zu entwickeln, 35 das die thermischen Spannungen zwischen der Halbleiterschicht und dem Trägerkörper oder -substrat zumindest verringert und

ein Verfahren zur Herstellung von Halbleiterbauelementen (einschließlich der oben genannten Art aber nicht darauf eingeschränkt) anzugeben, bei dem eine schnellere Fertigung des Bauelements und ein zuverlässigeres Endprodukt erreicht wird.

Diese Aufgabe wird durch ein Halbleiterbauelement mit den Merkmalen des Anspruchs 1 und ein Verfahren mit den Merkmalen der Ansprüche 13 und 14 gelöst. Vorteilhafte Ausgestaltungen der Erfindung gehen aus weiteren Ansprüche hervor.

Erfindungsgemäß weist ein Halbleiterbauelement mit einer lichtemittierenden Halbleiterschicht und zwei elektrischen Kontaktstellen ein vertikal strukturiertes Trägersubstrat auf. Das strukturierte Trägersubstrat ist so gestaltet, dass insbesondere durch Temperaturunterschiede entstandene Spannungen im Bauelement zumindest teilweise kompensiert werden.

In einer bevorzugten Ausführungsform weist das Trägersubstrat vertikale Strukturelemente und einen Trägerboden auf. Die vertikalen Strukturelemente stehen auf dem Trägerboden und sind voneinander durch Zwischenräume getrennt. Die vertikalen Strukturelemente verbinden den Trägerboden mit der Halbleiterschicht bzw. der Kontaktsschicht oder einer Benetzungsenschicht. Dehnt sich das Trägersubstrat nun stärker aus als der Halbleiter, kann der Dehnungsunterschied durch Verbiegung der Strukturelemente ausgeglichen werden. Zwar wird sich auch die Halbleiterschicht durchbiegen, allerdings wird sie nicht mehr so stark auf Zug beansprucht wie es bei einem homogenen, unstrukturierten Trägersubstrat der Fall wäre.

Vorteilhafterweise können die Zwischenräume mit einem Füllmaterial gefüllt werden, das elastischer als das Trägersubstrat-Material ist. Dies verbessert die Stabilität des Bauelements, ohne dass die Fähigkeit des strukturierten Trägersubstrats, thermische Spannungen aufzufangen, beeinträchtigt wird.

Eine weitere bevorzugte Ausführungsform weist ein einzelnes vertikales Strukturelement auf, das unter dem Zentrum von Halbleiterschicht oder -element angeordnet ist. Dieses Struk-  
5 turelement dient als stabiler Kern des Bauelements und ist im Querschnitt parallel zum Trägerboden in der Größe so einge- schränkt, dass thermische Verspannungen noch nicht zu Ausfäl- len führen. Der Außenraum um das einzelne Strukturelement wird mit einem weicheren bzw. elastischeren Material aufge-  
10 füllt, das die thermischen Verspannungen aufnehmen und zu- sätzlich die Wärme aus dem Halbleiterelement abführen kann.

In den obigen Ausführungsformen können die thermischen Span- nungen zusätzlich durch Auswahl eines Trägersubstratmateri-  
15 als, dessen Ausdehnungskoeffizienten möglichst nah an dem der Halbleiterschicht liegt, verringert werden.

In einer weiteren Ausführungsform weist das Trägersubstrat eine Mehrschichtstruktur auf. Diese Schichtenfolge besteht  
20 aus Materialien, die unterschiedliche Ausdehnungskoeffizien- ten und Elastizitätsmodul aufweisen. Zumindest eine zusätzli- che Trägersubstrat-Schicht wird auf die Unterseite des ersten Trägersubstrats aufgebracht bzw. laminiert, um den Zug auf der Oberseite des ersten Trägersubstrats zu kompensieren. Die Oberseite des ersten Trägersubstrats liegt näher an der Halbleiterschicht als die Unterseite. Da die Schichten fest miteinander verbunden sind, müssen sie sich auf dieselbe Länge ausdehnen. Aufgrund der unterschiedlichen Ausdehnungs- koeffizienten des Halbleiters und des Trägersubstrats und  
30 daher der unterschiedlichen Längenausdehnung entstehen bei Erwärmung Biegemomente um eine neutrale Achse des Schichtpa- kets. Um eine Durchbiegung zu vermindern, sind die Schichten in der Dicke so aufeinander abzustimmen, dass die Biegemomen- te jeder Schicht einschließlich der Halbleiterschicht sich  
35 nahezu auf Null addieren, d.h. die Biegemomente müssen sich aufheben. Als Bedingung für Planarität gilt die folgende Regel:

$$0 = \sum z_i E_i d_i \alpha_i T$$

wobei:

$z_i$  der Abstand zwischen der neutralen Achse und Element i,

$E_i$  der Hooke'sche Elastizitätsmodul des Elements i,

5  $d_i$  die Dicke des Elements i,

$\alpha_i$  der thermische Ausdehnungskoeffizient des Elements i und T die Temperatur des Bauelements ist.

In der Praxis reicht es auch aus, wenn die Gleichung sich

10 nahezu auf Null summiert, nämlich:

$$0 \approx \sum z_i E_i d_i \alpha_i T$$

Das erfindungsgemäße Verfahren zur Herstellung eines Halbleiterbauelements weist im wesentlichen die folgenden Ver-

15 fahrensschritte auf:

(a) Epitaktisches Abscheiden einer lichtemittierenden Halbleiterschicht auf einem Wachstumssubstrat,

20

(b) Versehen der Halbleiterschicht mit einer metallischen Kontaktsschicht,

(c) Erzeugen einer Haft- und Benetzungsschicht zumindest über der metallischen Kontaktsschicht,

(d) Aufbringen, Erzeugen oder Abscheiden eines mechanisch stabilen Trägersubstrats auf der Haft- und Benetzungs-

30

(e) Trennen der Halbleiterschicht von dem Wachstumssubstrat,

35

(f) Ätzen von Mesagräben zur Definition von einzelnen Chips zwischen den Mesagräben, wobei die Mesagräben zumindest durch die gesamte Halbleiterschicht und die gesamte Kontaktsschicht hindurchreichen;

(g) Aufbringen eines elektrischen Kontaktes auf der Halbleiterschicht und

5 (h) Vereinzen der Chips durch Trennung entlang den Mesa-  
gräben.

In einer weiteren Ausführungsform wird der Verfahrensschritt (f) vor dem Verfahrensschritt (c) durchgeführt.

10 Die Erzeugung oder das Abscheiden eines mechanisch stabilen Trägersubstrats auf der Haft- und Benetzungsschicht gemäß Verfahrensschritt (d) wird vorzugsweise mittels eines galvanischen Verfahrens durchgeführt. Dies hat den Vorteil, dass kleine Unebenheiten in der Oberfläche der Benetzungsschicht  
15 ausgeglichen werden können, ohne Probleme mit der Haftung darzustellen.

Bei herkömmlichen Verbindungstechniken können solche Unebenheiten Probleme bereiten. Das Aufbringen des Trägersubstrats  
20 mittels Van der Waals-Bonding erfordert zum Beispiel extrem glatte Oberflächen, damit die atomaren Kräfte wirken können. Dagegen kann Kleben zwar größere Höhenunterschiede ausgleichen, erfordert aber doch meist organische Materialien, die nicht temperatur- oder lösemittelbeständig sind. Außerdem haben solche Materialien eine geringe Leitfähigkeit für Wärme und elektrischen Strom.

Lötverfahren zum Aufbringen des Trägersubstrats haben keine der oben genannten Probleme, sind aber gegen Verunreinigungen  
30 empfindlich. Eine Störung in der Benetzungsschicht kann zum Beispiel dazu führen, dass das Lot an dieser Stelle nicht haftet und sich zurückzieht. Ebenso bewirken größere Fremdpartikel, dass das Lot den Spalt nicht vollständig auffüllen kann. Der betroffene Bereich kann dabei viel größer als der  
35 Partikel sein. Störungen in dem Gefüge des Lots sind eine weitere mögliche Fehlerquelle. Diese sind durch die Metallurgie des Lots bedingt und in Prinzip nicht schädlich, wenn die

Struktur insbesondere beim Abtrennen des Wachstumssubstrats nicht stark und ungleichmäßig mechanisch oder thermisch belastet wird. Solche Belastungen treten nicht bei den herkömmlichen III/V-Materialsystemen auf, weil das Wachstumssubstrat nasschemisch durch Ätzen entfernt werden kann.

Dagegen kommen bei Halbleitern aus Nitriden bisher nur Abtrennenverfahren mit hoher thermischer (z. B. Laserlift-off) und mechanischer (z. B. Riss-Trennen) Belastung zur Anwendung. In solchen Fällen wird die Lotverbindung zwischen der Halbleiterschicht und dem Trägersubstrat stärker beansprucht und ist daher für die oben genannten Probleme anfällig. Beim mechanischen Trennen kann der Fall auftreten, dass eine Schwächung der Lotverbindung einen parasitären Rissverlauf in der Lotschicht induzieren und damit die Haftung des Halbleiters auf dem Trägersubstrat beeinträchtigen kann. Beim Laserlift-off wird an der Grenzfläche zwischen Wachstumssubstrat und Nitrid der Halbleiter (das Nitrid) durch den Laserbe-schuss thermisch lokal zersetzt. Dabei entstehende überschüssige Wärme muss durch den Halbleiter und die Bondschicht abgeführt werden. Unterbrechungen im Lot führen allerdings zu einem erhöhten Wärmewiderstand und damit zu einer lokalen Überhitzung. Mögliche Folgen reichen von thermischer Schädigung des Halbleiters bzw. des Kontakts zur Rissbildung oder Delamination aufgrund der unterschiedlichen thermischen Ausdehnungskoeffizienten oder lokalem Aufschmelzen des Lotes. Aus diesen Gründen ist das galvanische Aufbringen des Träger-substrats ohne die Erfordernis einer Lotschicht besonders vorteilhaft für Nitrid-basierte Halbleiterbauelemente.

Merkmale von vorteilhaften Weiterbildungen ergeben sich aus den Unteransprüchen.

Im folgenden wird die Erfindung anhand von Ausführungsbei-spießen in Verbindung mit den Figuren 1 bis 13 näher erläutert.

Es zeigen

- Figur 1 eine schematische Schnittdarstellung eines ersten Ausführungsbeispiels eines erfindungsgemäßen Bauelements,
- 5 Figuren 2a und b jeweils eine schematische Schnittdarstellung eines Bauelements unter thermischen Verspannungen und eine schematische Schnittdarstellung eines durchgebogenen Wafers,
- 10 Figuren 3a, b und c jeweils eine schematische Schnittdarstellung eines zweiten Ausführungsbeispiels eines erfindungsgemäßen Bauelements unter unterschiedlichen Betriebsbedingungen,
- 15 Figur 4 eine schematische Schnittdarstellung eines dritten Ausführungsbeispiels eines erfindungsgemäßen Bauelements,
- Figur 5 eine schematische Schnittdarstellung eines vierten Ausführungsbeispiels eines erfindungsgemäßen Bauelements,
- 20 Figuren 6a und b jeweils eine schematische Schnittdarstellung eines fünften Ausführungsbeispiels eines erfindungsgemäßen Bauelements unter verschiedenen Betriebsbedingungen,
- Figuren 7a bis 7g schematische Schnittdarstellungen einiger Verfahrensschritte eines ersten Ausführungsbeispiels eines erfindungsgemäßen Verfahrens,
- Figur 8 eine schematische Schnittdarstellung eines sechsten Ausführungsbeispiels eines erfindungsgemäßen Bauelements,
- 30 Figuren 9a bis 9f schematische Schnittdarstellungen einiger Verfahrensschritte eines zweiten Ausführungsbeispiels eines erfindungsgemäßen Verfahrens,
- 35 Figuren 10a bis 10g schematische Schnittdarstellungen einiger Verfahrensschritte eines dritten Ausführungsbeispiels eines erfindungsgemäßen Verfahrens,

Figuren 11a bis 11d schematische Schnittdarstellungen einiger Verfahrensschritte eines vierten Ausführungsbeispiels eines erfindungsgemäßen Verfahrens,

5

Figuren 12a und 12b jeweils in schematischer Schnittdarstellung ein Montageverfahren des vierten verfahrensmäßigen Ausführungsbeispiels und

10 Figuren 13a und 13b schematische Schnittdarstellungen einiger Verfahrensschritte eines fünften Ausführungsbeispiels eines erfindungsgemäßen Verfahrens.

Gleiche oder gleichwirkende Elemente sind in den Figuren mit  
15 denselben Bezugszeichen versehen. Insbesondere die Dicke der Schichten ist in den Figuren nicht maßstabgerecht dargestellt, um dem besseren Verständnis zu dienen.

Das in Figur 1 dargestellte Halbleiterbauelement weist eine  
20 Halbleiterschicht 2, die zwischen einer Kontaktstelle 8 und einer Kontaktsschicht 3 angeordnet ist. Die Kontaktsschicht 3 kann auch als eine unterbrochene und/oder strukturierte Schicht ausgebildet sein, die beispielsweise mehrere kreisförmige Flächen aufweist. Beispielsweise enthält die Halbleiterschicht 2 GaN und die Kontakte 3, 8 Platin, Palladium oder Aluminium. Die Kontaktsschicht 3 (weniger als ca. 5 nm dick) liegt auf einer Reflexionsschicht 4 (ca. 100nm dick), die insbesondere bei optoelektronischen Anwendungen sehr wichtig für die Lichteffizienz ist. Je nach Wellenlänge des Lichts  
30 kann die Reflexionsschicht 4 beispielsweise Gold für den roten Spektralbereich oder Silber und Aluminium für den blauen aufweisen. Kann die Reflexionsschicht durch Legierung mit anderen Metallen beeinträchtigt werden, so wird anschließend vorzugsweise eine Diffusionsbarriere 5 (beispielsweise aus TiW(N) und ca. 0,5 µm dick) auf der Reflexionsschicht 4 aufgebracht. Um bessere Haftung zu erzielen, ist die Diffusionsbarriere 5 mit einer Haft- und Benetzungsenschicht 6 (bei-

spielsweise Chrom aufweisend und ca. 1 µm dick) beschichtet. An die Benetzungsschicht 6 schließt sich ein Trägersubstrat 7 an, das ca. 50 µm dick ist und beispielsweise aus Metall, wie u. a. Nickel, Chrom, Kupfer, Wolfram besteht. Die Dicke des 5 Trägersubstrats ist durch die erwünschte mechanische Stabilität des Bauelements und die ggf. verwendeten Maßnahmen, um die thermischen Ausdehnungen auszugleichen, bedingt. Eine Passivierungsschicht 9 bedeckt zumindest die Halbleiter- schicht 2, um dies von Verunreinigungen zu schützen.

10 Soweit nichts anderes angegeben ist, gelten die obigen Materialien- sowie Maßangaben auch für die weiteren vorrichtungs- mäßigen und verfahrensmäßigen Ausführungsbeispiele.

15 In Figur 2a wird mit Hilfe von Pfeilen dargestellt, wie bei Erwärmung eines bekannten Bauelements die unterschiedlichen Ausdehnungskoeffizienten des Halbleiters 2 und des Trägersubstrats 7 Spannungen im Bauelement verursachen. Da der Ausdehnungskoeffizient des Halbleiters 2 im allgemeinen geringer 20 als der des Trägersubstrats 7 (üblicherweise ein Metall) ist, dehnt sich das Trägersubstrat 7 bei Erwärmung stärker aus als der Halbleiter. Dies kann zu Durchbiegungen während der Prozessierung sowie im Betrieb führen. Unter Umständen können diese von thermischen Spannungen verursachten Durchbiegungen wie in der Figur 2a dargestellt zum Auftritt von Rissen in der Halbleiterschicht 2 führen, was das Ausfallen des Bauelements bedeutet. In Figur 2b wird die Durchbiegung 22 des Wafers 23, nämlich die maximale Abweichung des Wafers von der Ebene, gezeigt. Um die Halbleiterschicht zu schonen und die 30 Verarbeitbarkeit zu gewährleisten, sollte die Durchbiegung 22 auf unter 100 µm begrenzt sein. Bei GaN-Epitaxieschichten auf SiC-Substrat können massive Risse bereits auftreten, wenn die Durchbiegung 22 bei einem Wafer (Durchmesser 5 cm) 100 µm übersteigt. Ohne besondere Maßnahmen zur Verminderung der 35 thermischen Spannungen kann eine Temperatur bedingte Beschädigung des Halbleiters 2 bereits auftreten, wenn das Träger- substrat 7 dicker als ca. 5 µm ist. Solche Probleme tauchen

sicherlich auf, wenn das Trägersubstrat 7 dicker als 15 µm ist. Deshalb sollte ein Trägersubstrat 7 ohne irgendwelche Ausgleichsmaßnahmen nicht 15 µm überschreiten. Da diese Dicke noch immer zu dünn für die während der Prozessierung erforderliche mechanische Stabilität ist, muss eine oder mehrere der folgenden erfindungsgemäßen Maßnahmen ergriffen werden.

Das in Figur 3a ausgeführte Beispiel weist ein vertikal strukturiertes Trägersubstrat 7 auf, das aus einem Trägerboden 24, mehreren vertikalen Strukturelementen 25 und mehreren Zwischenräumen 26 besteht. Darauf sind in dieser Reihenfolge eine Benetzungsschicht 6, eine Diffusionsbarriere 5, eine Reflexionsschicht 4, eine Kontaktsschicht 3 und eine Halbleiterbeschichtung 2 angeordnet. Eine zweite Kontaktstelle ist hier nicht abgebildet. In diesem Beispiel weisen die Strukturelemente 25 einen kreisförmigen Querschnitt auf, können aber auch andere Formen annehmen. Die Höhe der Strukturelemente wird vorzugsweise mit der lateralen Abmessung des Halbleiters 2 skaliert, so dass das Verhältnis Halbleiterbreite zur Strukturelement-Höhe nicht den Faktor 15 überschreitet. Die Strukturelemente weisen vorzugsweise ein hohes Aspektverhältnis (d.h. Höhe/Breite) von zumindest zwei auf, damit sie sich besser verbiegen und thermische Spannungen ausgleichen können. Beispielsweise sind die Strukturelemente 5-20 µm hoch und haben einen Durchmesser von 5-10 µm. Die Dicke des Trägerbodens wird bevorzugt mindestens so dick gewählt wie die Strukturelemente hoch sind und liegt i.d.R. zwischen 20 µm und 100 µm. Die Dicke muss dem Bauelement ausreichende mechanische Stabilität während der Prozessierung und im Betrieb verleihen. Darüber hinaus ist die Dicke eine Zeit-, Material- und letztendlich eine Kostenfrage. Die Zwischenräume 26 können mit einem während der Strukturierung eingesetzten Photolack gefüllt bleiben, unbefüllt (d.h. leer) bleiben oder wie im folgenden Ausführungsbeispiel mit einem anderen Material aufgefüllt werden.

In Figur 3b wird das in Figur 3a ausgeführte Bauelement bei Erwärmung gezeigt. Das Bauelement ist mit einem sehr kleinen Teil der Trägersubstrat-Oberfläche auf einer Anschlußleiterbahn 19 befestigt. Bei Erwärmung dehnt das Trägersubstrat 7 sich mehr aus als die Halbleiterschicht 2, wobei der untere Teil der Strukturelemente 25 sich an die Ausdehnung des Trägerbodens 24 und der obere Teil sich an die Ausdehnung der Halbleiterschicht 2 anpasst. Die Strukturelemente gleichen diesen Ausdehnungsunterschied durch Verbiegung aus, so dass in diesem Beispiel die Strukturelemente sich nach innen biegen. Dies hat die Folge, dass sich die Kanten des Trägerbodens 24 und die Kanten der Halbleiterschicht 2 leicht nach oben biegen. Dies wäre auch der Fall, wenn das Bauelement bzw. das Trägersubstrat 7 nicht befestigt wäre.

Dagegen, wie in Figur 3c dargestellt, biegen sich die Kanten der Halbleiterschicht 2 nach unten, wenn das Bauelement flächig auf einer Platine oder Anschlußleiterbahn 19 befestigt ist. Hier biegt sich der obere Teil der Strukturelemente 25 auch, wie in Figur 3b dargestellt, nach innen, aber aufgrund des steifen, flächig befestigten Trägerbodens 24 bildet sich eine kleine Auswölbung der Oberfläche der Halbleiterschicht 2.

In einem weiteren Ausführungsbeispiel werden die Zwischenräume 26 des in Figur 3a dargestellten Bauelements mit einem Füllmaterial 27, das elastischer ist als das Material des Trägersubstrats 7, zur Verbesserung der Stabilität des Bauelements aufgefüllt. Dies wird in Figur 4 dargestellt. Hier bestehen die Strukturelemente 25 und Trägerboden 24 beispielsweise aus Nickel und das Füllmaterial 27 aus Gold. Andere Materialien wie Polymere sind auch als Füllmaterial 27 denkbar.

In Figur 5 wird ein Ausführungsbeispiel dargestellt, welches noch eine Möglichkeit zur Verminderung der thermischen Biegespannungen in einem derartigen Bauelement anbietet. Das

Trägersubstrat 7 des in Figur 5 dargestellten Beispiels besteht aus zwei verschiedenen Materialien mit unterschiedlichen Ausdehnungskoeffizienten und Elastizitätsmodulen. Die dünnere Trägersubstrat-Schicht 20 weist beispielsweise einen höheren Elastizitätsmodul und kleineren Ausdehnungskoeffizienten aus als die dickere Trägersubstrat-Schicht 21. Durch die Trägersubstrat-Schicht mit kleinerem Ausdehnungskoeffizienten 20 und die Dicke der Schichten wird der Zug des Trägersubstrats 7 an der Halbleiterschicht 2 teilweise kompensiert. Beispielsweise besteht die obere Trägersubstrat-Schicht 21 aus Kupfer mit einer Dicke von 50 µm und die untere 20 aus Wolfram mit einer Dicke von 1,3 µm oder Chrom mit einer Dicke von 2,7 µm. Mehr als zwei verschiedene Materialien können auch vorgesehen sein. Die zweite Kontaktstelle 8 und eine eventuelle Passivierungsschicht 9 sind nicht hier abgebildet.

In Figur 6a wird eine Abwandlung des in Figur 4 gezeigten Bauelements dargestellt. Das Trägersubstrat 7 weist hier ein einziges vertikales Strukturelement 25 aus, das zentral bzw. mittig unter der Halbleiterschicht 2 angeordnet ist, d.h. zentriert zur Halbleiterschicht 2. Dieses Strukturelement 25 bildet dadurch einen stabilen Kern für das Bauelement und ist in der Größe so eingeschränkt, dass thermische Verspannungen noch nicht zu Ausfällen führen. Beispielsweise ist dieses Strukturelement 25 im Querschnitt kreisförmig und hat einen Durchmesser von ca. 100 µm, wenn das Bauelement einen Durchmesser von ca. 300 µm hat. Andere Formen und Größen des Strukturelements 25 sind auch denkbar. Der verbleibende Außenraum ist mit einem weicheren Material aufgefüllt, das die thermischen Verspannungen aufnehmen kann. Wie oben zu Figur 4 beschrieben, eignet sich beispielsweise Nickel für das Strukturelement 25 und Trägerboden 24 und Gold für das Füllmaterial 27. Das Füllmaterial 27 sollte aber immer noch die Wärme aus dem Bauelement abführen können.

Figur 6b zeigt das in Figur 6a dargestellte Bauelement unter thermischer Verspannung. Hier wird die Halbleiterschicht

viel weniger beansprucht als das in Figur 1 dargestellte Bauelement, weil eine kleinere Grenzfläche zwischen dem stärker ausgedehnten Trägersubstrat und der Halbleiterschicht beansprucht ist und daher nur ein Bruchteil der Verspannung, die das in Figur 1 dargestellten Bauelement spürt, schädlich auf die Halbleiterschicht 2 wirken kann. Das Füllmaterial 27 passt sich sowohl der Ausdehnung des Trägersubstrats 7 als auch der Ausdehnung der Halbleiterschicht 2 an.

10

In den Figuren 7a bis g wird der schematische Ablauf des Verfahrens zur Herstellung des in Figur 1 dargestellten, erfindungsgemäßen Bauelements gezeigt. Die gewünschte Halbleiterschicht 2 wird epitaktisch auf einem Wachstumssubstrat 1 abgeschieden (s. Figur 7a). In diesem Beispiel wird GaN epitaktisch auf Saphir abgeschieden.

Wie in Figur 7b dargestellt, wird die Halbleiterschicht 2 danach mit einer Kontaktschicht 3 vorzugsweise mittels Aufdampfens oder Sputterns versehen. Da die später aufgebrachten Schichten nicht lichtdurchlässig sind, sollte diese Schicht bei optoelektronischen Bauteilen gut reflektierend sein. Oft ist aber der Kontakt der Spiegelmetallisierung zur Halbleiterschicht 3 schlecht. Deshalb kann eine zusätzliche Reflexionsschicht 4 auf die Kontaktschicht 3 aufgebracht werden, wobei die Kontaktschicht 3 durch sehr dünne semitransparente oder mit Löchern versehene Schichten aus besser elektrisch leitenden Kontaktmetallen ausgebildet wird, so dass sie wenig Licht absorbiert. Kann der Spiegel durch Legierung mit anderen Metallen zerstört werden, sollte anschließend eine Diffusionsbarriere 5 auf die Reflexionsschicht 4 aufgebracht werden. Das Aufbringen der Reflexionsschicht 4 und/oder Diffusionsbarriere 5 kann mittels Aufdampfens oder Sputterns erfolgen.

35

Als oberste Schicht wird eine Haft- und Benetzungsschicht 6 auf die Diffusionsbarriere 5 aufgebracht. Diese wird vorzugs-

weise mittels Aufdampfens oder Sputterns aufgebracht und kann aus Chrom, Nickel oder leitfähigem TiO bestehen. (Siehe Figur 7c.)

- 5 Auf der Haft- und Benetzungsschicht 6 wird ein Trägersubstrat 7 bis zur gewünschten Dicke beispielsweise mittels Sputterns, eines CVD-Verfahrens (nämlich eines Chemical Vapor Deposition-Verfahrens), eines galvanischen Verfahrens, stromloses Plattieren oder eines anderen bekannten Verfahrens abgeschieden. Siehe Figur 7d. Die Dicke des Trägersubstrats richtet sich im wesentlichen nach der während der Prozessierung und im Betrieb benötigten, mechanischen Stabilität, den maximal erlaubten thermischen Spannungen, bevor Risse im Halbleiter auftreten, und danach, ob Maßnahmen wie das Einbauen eines Hilfssubstrats (wie unten erklärt) ergriffen worden sind.
- 10 Ohne Maßnahmen, thermische Spannungen auszugleichen, sollte das Trägersubstrat nicht 15 µm in der Dicke überschreiten. Da diese Dicke zu dünn für die Prozessierung ist, kann ein Hilfssubstrat 12 eingesetzt werden. (Siehe Figur 8 und die Beschreibung dazu unten.)
- 15
- 20

- Das Trägersubstrat 7 sollte aus einem Material bestehen, das thermisch und elektrisch gut leitfähig sowie mechanisch stabil ist. Unebenheiten und Fremdpartikel sollten auch durch das Trägersubstrat 7 ausgeglichen werden. Da die Abscheidung bei Raumtemperatur erfolgen kann, ist eine Interdiffusion während des Prozesses nicht zu befürchten. Vorzugsweise wird ein galvanisches Verfahren verwendet. Aufdampfen hat die Nachteile, dass die Abscheideraten relativ gering sind und die aufgebrachte Schicht geringe Festigkeit aufweist. Dagegen sind Sputterverfahren, Abscheidung aus der Gas-Phase (CVD-Verfahren) und Abscheidung aus einer flüssigen Phase besser geeignet.
- 30
  - 35 Wie in Figur 8 gezeigt, kann optional auf das Trägersubstrat 7 zusätzlich noch eine Lotschicht 11 aufgebracht werden, um darauf ein weiteres Hilfssubstrat 12 zu bonden. Beispielswei-

se kann ein mechanisch stabiler Halbleiter wie Silizium, Germanium, Siliziumkarbid oder ein Metallsubstrat aus Molybdän oder Wolfram verwendet werden. Die Lotschicht 11 weist beispielsweise eine Gold/Zinn-Mischung auf. Ein Hilfssubstrat 12 kann erforderlich sein, wenn die Metallschicht selber nicht zu dick sein soll, oder deren Abscheidung sehr teuer ist. Da die Lotschicht 11 sich jetzt in größerem Abstand von der Halbleiterschicht 2 befindet, beeinflussen ihre schlechten mechanischen Eigenschaften, wie oben bereits erklärt, den Trennprozeß nicht. Die Lotschicht 11 und/oder das Hilfssubstrat 12 können mittels Sputterns, Aufdampfens oder galvanisch aufgebracht werden. Nach der Entfernung des Wachstumssubstrats 1 besteht die Möglichkeit, bei Wahl eines niedrigschmelzenden Lots das Hilfssubstrat 12 wieder zu entfernen und in den Prozeß zurückzuführen oder gegen ein anderes (z.B. billigeres aus Aluminium oder Kupfer) auszutauschen. Außerdem kann das Hilfssubstrat 12 auch mittels eines Klebeverfahrens (z.B. NanoPierce®, siehe <http://www.nanopierce.com>) befestigt werden.

Nach dem Aufbringen des Trägersubstrats und eventuell des Hilfssubstrats wird das Wachstumssubstrat 1 von der Halbleiterschicht 2 getrennt. Je nach ausgewähltem Wachstumssubstrat 1 und Halbleiter 2 kann dieser Prozeßschritt durch chemische Auflösung des Wachstumssubstrats 1, eine Opferschicht, ein Laser-Liftoff-Verfahren, ein mit Sollbruchstellen ausgestattetes, laminiertes Wachstumssubstrat oder ein anderes bekanntes Verfahren durchgeführt werden.

Substratmaterialien wie GaAs oder Silizium können leicht chemisch aufgelöst werden. Das Wachstumssubstrat geht dabei verloren. Zusätzlich muss der Halbleiter entweder selber inert gegen die Ätzlösung sein oder mit speziellen Ätzstopp-schichten ausgerüstet werden. Eine weitere Möglichkeit ist, eine Opferschicht in die Halbleiterschicht 2 einzubauen, die selektiv geätzt werden kann. Auf diese Weise geht das Wachs-

tumssubstrat 1 nicht verloren und kann auch wieder im Prozeß eingeführt werden.

Im Materialsystem der Nitride, die für Lichterzeugung im kurzweligen Spektralbereich verwendet werden, sind bislang keine geeigneten chemischen Ätzverfahren sowohl für gängige Substrate wie Saphir oder Siliziumkarbid als auch Halbleiter (wie AlN, GaN, InN) bekannt. Zum Abtrennen der Halbleiterschicht 2 wird daher hier beispielsweise das Verfahren des Laser-Liftoffs eingesetzt. Dabei wird ausgenutzt, dass sich GaN bei Beschuss mit einem Laser in Gallium und gasförmigen Stickstoff zersetzen kann. Es wird ein Laser mit einer Photonenenergie ausreichend für das Zersetzen des GaN, aber nicht ausreichend für das Zersetzen des Wachstumssubstrats verwendet. Der Laser wird durch den Saphir gestrahlt, der bei den benötigten Wellenlängen immer noch transparent ist. An der Grenzschicht zum Saphir wird so das GaN zersetzt und aufgrund der Entstehung der Gase und des Drucks wird die Halbleiterschicht 2 von dem Saphir-Wachstumssubstrat 1 abgetrennt. Das Bauelement nach dem Abtrennen des Wachstumssubstrats 1 ist in Figur 7e abgebildet. Allerdings ist dieses Verfahren nicht möglich bei auf SiC abgeschiedenem GaN, da SiC eine kleinere Bandlücke besitzt als GaN und daher vor GaN zersetzt wird.

Ferner besteht auch die Möglichkeit, die Halbleiterschicht 2 auf einem bereits laminierten Wachstumssubstrat 1 abzuscheiden: Ein solches laminiertes Wachstumssubstrat 1 (z.B. SMARTCUT® oder UNIBOND®) weist als oberste Schicht eine Haftschicht auf, die mit geeigneten Sollbruchstellen ausgestattet ist. An diesen Stellen wird die dünne Halbleiterschicht 2 nach dem Aufbringen des Trägersubstrats 7 von dem Wachstumssubstrat 1 getrennt.

Nun werden Mesagräben 10 zumindest in die Halbleiterschicht 2 und die Kontaktsschicht 3 so geätzt, dass einzelne Chips zwischen den Mesagräben 10 definiert werden. Die Mesagräben 10 reichen zumindest durch die gesamte Halbleiterschicht 2

und die Kontaktsschicht 3. Die Form der Mesagräben 10 im Querschnitt ist beispielsweise in Figur 7f abgebildet. Andere Formen sind auch möglich. Das Ätzen von Mesagräben 10 kann mittels Photolithographie oder anderer bekannter Verfahren in 5 Kombination mit Trocken-Ätzen, beispielsweise dem RIE-Verfahren (d.h. Reactive Ion Etching) durchgeführt werden.

In einem weiteren Verfahrensschritt wird gemäß Figur 7f der Kontakt 8 mittels Sputterns oder Aufdampfens auf die Halbleiterschicht 2 aufgebracht. Der Kontakt 8 enthält beispielsweise 10 Aluminium. Eventuell kann eine Passivierungsschicht 9 (z.B. aus Siliziumnitrid oder Siliziumoxid) mittels Sputterns oder eines CVD-Verfahrens über den Teil der Halbleiterschicht 2, der nicht von dem Kontakt 8 bedeckt ist, und zumindest 15 über die Seitenflächen der Kontaktsschicht 3 aufgebracht werden.

Optional können zur Optimierung der Lichtauskopplung dreidimensionale Strukturen im Halbleiter oder in der Passivierungsschicht 9 hergestellt werden. Da das Licht zuerst aus 20 dem Halbleiter ausgekoppelt wird, haben solche Strukturen bessere Wirkung, wenn sie in der Halbleiterschicht 2 erzeugt werden, als in der Passivierungsschicht 9. Strukturen zur Verbesserung der Lichtkopplung können aber natürlich in 25 beiden Schichten erzeugt werden.

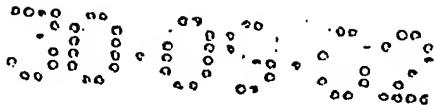
Beispielsweise werden Pyramidenstrukturen, die zumindest drei sichtbare Flächen je Pyramide aufweisen, in die Halbleiterschicht 2 eingeätzt, bevor die Kontakte 8 oder die eventuelle 30 Passivierungsschicht 9 aufgebracht werden. Nachdem die Halbleiterschicht 2 von dem Wachstumssubstrat 1 abgetrennt ist, ist die Oberfläche der Halbleiterschicht 2 einigermaßen rauh. Insbesondere durch ein anisotropisches Ätzverfahren wie ein 35 RIE-Verfahren entstehen die Pyramidenstrukturen. Je nach ausgewähltem Halbleiter können die Strukturen aber auch mittels nasschemischen Ätzens oder Trocken-Ätzverfahren erzeugt werden. Zum Beispiel ist ein RIE- oder ICP-Verfahren

(d.h. inductively coupled plasma) für die Strukturierung des GaN besser geeignet, wobei für einen GaAs-Halbleiter auch nasschemisches Ätzen verwendet werden kann. Nach einer solchen Strukturierung wird der Kontakt 8 und vorzugsweise auch 5 eine Passivierungsschicht 9 aufgebracht, um die Oberfläche vor Verschmutzung zu schützen.

Zum Schluß werden die Chips entlang den Mesagräben 10 bei spielsweise durch Sägen oder Laserschneiden vereinzelt. In 10 der Figur 7g ist die Vereinzelung mit einem Sägeblatt dargestellt.

In den Figuren 9a bis 9f werden die Verfahrensschritte einer Abwandlung des in den Figuren 7a bis 7g dargestellten Verfahrens zum Teil skizziert. Die Angaben zu Materialien und 15 Verfahren vom obigen Ausführungsbeispiel gelten auch für die folgenden Ausführungsbeispiele, soweit nichts anderes angegeben ist. Das Aufbringen der Halbleiter- 2, Kontakt- 3 und Reflexionsschicht 4 auf dem Wachstumssubstrat 1 wird nach der 20 obigen Beschreibung zu den Figuren 7a und 7b durchgeführt. In diesem Fall wird die Reflexionsschicht 4 in der Kontakt schicht 3 integriert. Diese kombinierte Schicht wird mit der Bezeichnung 3+4 in den Figuren gekennzeichnet.

Wie in Figur 9a abgebildet, werden hier die Mesagräben 10 vor dem Trennen der Halbleiterschicht 2 von dem Wachstumssubstrat 1 in die Kontakt-/Reflexions- 3+4 und Halbleiterschicht 2 geätzt. Dies kann vorteilhaft sein, wenn der Mesaätzprozeß Probleme mit einer darunterliegenden Schicht verursacht. Zum 30 Beispiel werden die Diffusionsbarriere 5, die Benetzungs schicht oder das Trägersubstrat 7 beim obigen Verfahren vor dem Mesaätzprozeß aufgebracht; bei diesem Verfahren aber erst nach dem Mesaätzprozeß und sind deshalb nicht dem Ätzen ausgesetzt. Nach dem Ätzen steht der Schichtstapel (nämlich 35 die Kontakt-/Reflexions- 3+4 und Halbleiterschicht 2) in Form einzelner Inseln auf dem Wachstumssubstrat 1. Eine Diffusionsbarriere 5 wird auf diesen Inseln aufgebracht, d.h. auf



19

die Kontakt-/Reflexionsschicht 3+4. Anschließend wird eine Passivierungsschicht 9 flächig über die nicht von der Diffusionsbarriere bedeckte Kontakt-/Reflexions- 3+4 und Halbleiterschicht 2 und über den in Mesagräben 10 befindlichen Teil 5 des Wachstumssubstrats 1 aufgebracht.

Eine Haft- und Benetzungsschicht 6 wird auf die gesamte Oberfläche einschließlich der Oberfläche der Mesagräben 10 aufgebracht. Siehe Figur 9b.

10 Gemäß Figur 9c wird das Trägersubstrat 7 beispielsweise galvanisch auf die Benetzungsschicht 6 bis zur gewünschten Dicke aufgebracht, so dass die Mesagräben 10 auch gefüllt werden.

15 Das Wachstumssubstrat 1 wird nach einer der oben genannten Trennmethoden von der Halbleiterschicht 2 getrennt. Dabei werden die Teile der Passivierungsschicht 9, die in den Mesagräben liegen, auch entfernt. Siehe Figur 9d.

20 Gemäß Figur 9e werden die Kontakte 8 auf die Halbleiterschicht 2 aufgebracht. Um die Halbleiterschicht 2 besser vor Verunreinigungen zu schützen, wird die Passivierungsschicht 9 auf die Halbleiterschicht 2 erweitert.

Schließlich werden die Chips entlang den Mesagräben mittels Sägens oder Laserschneidens vereinzelt. Siehe Figur 9f.

Ein weiteres verfahrensmäßiges Ausführungsbeispiel wird in 30 den Figuren 10a bis 10g dargestellt. Dieses Verfahren schließt unmittelbar an das vorige Verfahren nach dem Aufbringen der Benetzungsschicht 6 an (vgl. Figuren 9b und 10a). Anstatt das Trägersubstrat 7 flächig wie in Figur 9c dargestellt aufzubringen, werden Trennsteg 13 beispielsweise aus 35 einem Photolack mittels Photolithographie, des LIGA-Verfahrens oder eines ähnlichen Verfahrens mit galvanischer Abformung aufgebracht. Dies wird erzielt, indem der Photolack

auf die Benetzungsschicht 6 flächig bis zu mindestens 10 µm Dicke aufgebracht wird, so dass alle Mesagräben über ihre gesamte Länge auch ganz gefüllt sind. Nach geeigneter Belichtung kann der Photolack, der zwischen den Mesagräben und 5 oberhalb der Halbleiterschicht 2 liegt, selektiv entfernt werden (siehe Figur 10b). Wichtig ist, dass dieses Material selektiv entfernt werden kann. Die Trennstege 13 können mit modernen Resistsystemen (z.B. ein LIGA-Verfahren oder einen dafür geeigneten Photolack wie den ma-P 100 oder den SU-8 von 10 MicroChem Corp.) sehr hohe Aspektverhältnisse erreichen.

Vorteilhaft sind möglichst schmale Trennstege. Je schmäler die Trennstege 13 sind, desto weniger nutzbare Waferfläche wird durch die Trennstege verschwendet. Dies bedeutet wiederum, dass die Anzahl der Chips pro Wafer erhöht wird und die 15 Kosten gesenkt werden.

Die Zwischenräume zwischen den Trennstegen 13 oberhalb der Halbleiterschicht 2 werden nach Figur 10c beispielsweise galvanisch mit einem als Trägersubstrat 7 geeigneten Material 20 maximal bis zur Höhe der Trennstege aufgefüllt. Dann werden die Trennstege mit Hilfe eines Lösungsmittels oder durch Ätzen selektiv entfernt. Die dadurch entstandenen Trägersubstrat-Inseln 71 werden in Figur 10d abgebildet. Zur einfacheren Handhabung für die weitere Prozessierung werden die Trägersubstrat-Inseln 71 samt Mesagräben komplett mit einem Hilfsmaterial 14 von tragfähiger Dicke überformt. Die Bauelemente nach dieser Überformung sind in Figur 10e abgebildet. Das Hilfsmaterial 14 kann durch ein Sputterverfahren, ein CVD-Verfahren, ein galvanisches Verfahren, stromloses Platten 30 oder ein anderes bekanntes Verfahren aufgebracht werden. Der Einsatz von Metallen, geeigneten Polymeren (z.B. Polyimid) oder SpinOn-Gläsern ist denkbar. Mechanische Festigkeit kann auch durch Aufkleben oder Auflöten auf ein zweites Substrat verliehen werden. Wichtig ist aber, dass das 35 Hilfsmaterial 14 wieder selektiv entfernt werden kann.

Nach der Überformung mit Hilfsmaterial 14 wird das Wachstumssubstrat 1 nach einem der bereits genannten Verfahren von der Halbleiterschicht 2 getrennt. Wie in Figur 10f gezeigt, werden die Kontakte 8 anschließend auf die Halbleiterschicht 5, 2 aufgebracht.

Die Bauelemente können nun ohne mechanische Kraft vereinzelt werden. Eine Trägerfolie 15 wird über den Kontakten 8 auf der Halbleiterschicht aufgebracht und das Hilfsmaterial 14 wird beispielsweise durch Ätzen selektiv entfernt. Dann sind die Bauelemente automatisch vereinzelt und, wie in Figur 10g abgebildet, stehen auf einer Trägerfolie 15 bereit. Dieser Vereinzelungsprozeß kann sehr schnell sein, ausreichende Ätzraten vorausgesetzt. Anders als Sägen, für das der Zeitverbrauch einfach proportional zur Zahl der Bauelemente ist, ist der Zeitverbrauch hier unabhängig von der Anzahl der Bauelemente und der Wafergröße. Dies hat als zusätzlichen Vorteil über den Sägeprozeß, dass jegliche Geometriebeschränkungen an das Bauelement wegfallen. Es können also auch runde oder viereckige Bauelemente hergestellt werden. Durch die schmalen Trennsteg 13 wird auch die Verschwendungen der Waferfläche, die ungenutzt als Sägespur wegfällt, verringert.

In den Figuren 11a bis 11d wird ein weiteres Ausführungsbeispiel skizziert, das eine Variation des letzten Verfahrens darstellt. Bei diesem Ausführungsbeispiel läuft das Verfahren im wesentlichen nach dem in Figuren 10a bis 10c zusammengefaßten Schema mit der Ausnahme, dass die Oberseite der Trennsteg 13 im Querschnitt als eine Spitze ausgebildet ist. Anstatt eines Aufbringens des Trägersubstrats 7 nur bis zur Höhe der Trennsteg 13, wird dieser Prozeß weitergeführt, so dass die ganze Struktur samt Trennstegen 13 flächig überformt ist. Dies wird in Figur 11a dargestellt und kann mit dem gleichen Material wie das für das Trägersubstrat 7 verwendete, oder mit einem anderen geschehen.

Die überformte Struktur sollte nun ausreichend tragfähig sein, dass das Wachstumssubstrat 1 ohne weiteres entfernt werden kann. Die Kontakte 8 werden auf die Halbleiterschicht 2 aufgebracht. Siehe Figur 11b.

5

Figur 11c zeigt die Bauelemente, nachdem die Trennsteg 13 beispielsweise mittels organischen Lösungsmittels von der Seite der Halbleiterschicht 2 her aufgelöst sind. Damit steht jeder Chip quasi frei auf Trägersubstrat-Inseln, die durch eine Trägersubstratschicht verbunden sind. Da die verbindende Trägersubstratschicht jetzt vergleichsweise dünn ist, können die Bauelemente, wie in Figur 11d gezeigt, mit geringer Kraft abgescherzt werden. Die spitze Form der Trennsteg unterstützt den Scherprozeß und kann auch vorteilhaft bei einem Trägersubstrat-Material wirken, das eine geringe Scherfestigkeit aufweist.

Die Figuren 12a und 12b zeigen die Unterteilung eines ganzen Wafers mit Bauelementen in Zeilen und wie die Zeilen z.B. mittels Thermokompression auf Anschlußleiterbahnen 19 befestigt werden können. Gleichzeitig reißt oder bricht eine Montagemaschine 18 die Verbindung ab und fährt zum nächsten Feld. Da dabei nur kurze Wege zurückgelegt werden, eignet sich das Verfahren auch zum Bestücken von Flächen mit größeren Stückzahlen (z.B. von selbstleuchtenden RGB-Displays).

In den Figuren 13a und 13b wird ein weiteres Ausführungsbeispiel skizziert, das eine Alternative zu dem in den Figuren 10a bis 10g gezeigten Verfahren darstellt. Hier wird das Bauelement ohne Photolack und ohne Strukturierung hergestellt. Anstatt dass die Benetzungsschicht 6 wie in Figur 10a auf die gesamte Oberfläche aufgebracht wird, wird die Benetzungsschicht 6 bei diesem Ausführungsbeispiel lediglich auf die äußerste Schicht oberhalb der Halbleiterschicht 2 aufgebracht, d.h. kein benetzendes Material befindet sich auf den Seiten- oder Oberflächen der Mesagräben. Wie in Figur 13a dargestellt, wird eine Anti-Benetzungsschicht 16 auf die

Seiten- und Oberflächen der Mesagräben aufgebracht. Diese Anti-Benetzungsschicht 16 kann ein Dielektrikum wie Siliziumnitrid oder Siliziumoxid sein. Die Benetzungsschicht 6 besteht beispielsweise aus Gold oder Titan.

5

Beispielsweise wächst das Trägersubstrat-Material (z.B. Nickel) beim stromlosen Abscheiden nur auf der Benetzungsschicht 6 an. Wird der Prozeß gestoppt bevor die Mesagräben zuwachsen, werden getrennte Trägersubstrat-Inseln 71 wie in Figur 13b abgebildet, erzielt. Diese Bauelemente können nun wie die in Figur 10d abgebildeten Bauelemente weiter verarbeitet werden. Zwar ist die Strukturtreue der Trägersubstrat-Inseln 71 nicht so gut wie beim Photolackverfahren (nämlich dem in den Figuren 10a bis 10g dargestellten Verfahren), dafür spart man aber die Kosten für eine Lackprozessierung und Belichtung.

Die in den Figuren 3a, 4 und 6a abgebildeten, erfindungsgemäßen Bauelemente können mit geeigneten Abwandlungen auch nach den erfindungsgemäßen Verfahren hergestellt werden, nämlich nach Abwandlungen der in Figuren 7, 9, 10, 11 und 13 dargestellten Verfahren.

Für die Herstellung der in den Figuren 3a, 4 und 6a abgebildeten Bauelemente muss das Trägersubstrat 7 bzw. die Trägersubstrat-Insel 71 strukturiert werden. Diese Strukturierung kann beispielsweise mittels Photolithographie, eines LIGA-Verfahrens oder eines anderen bekannten Verfahrens erreicht werden. Mit Hilfe der Photolithographie als Beispiel sollte vor dem Aufbringen des Trägersubstrats 7 ein geeigneter Photolack auf die Benetzungsschicht 6 aufgebracht, entsprechend belichtet und geätzt werden, so dass die negative Form der vertikalen Strukturelemente bzw. des Strukturelements 25 des gewünschten Bauelements erzielt werden/wird. Zur Erreichung von Strukturelementen 25 mit hohen Aspektverhältnissen wird vorzugsweise ein LIGA-Verfahren oder ein dafür geeigne-

ter Photolack (z.B. der ma-P 100 oder der SU-8 von Nano<sup>TM</sup>) verwendet.

Um das in Figur 4 oder 6a abgebildete Bauelement herzustellen, kann der Photolack, wenn er ausreichend elastisch ist, z.B. nach dem LIGA-Verfahren im Bauelement belassen werden, oder es können die Zwischenräume 26 mit einem zusätzlichen Füllmaterial 27 gefüllt werden. Die letzte Alternative sollte nach der Auflösung des Photolacks durchgeführt werden. Dies kann durch ein Spritzverfahren, bei dem beispielsweise ein Thermoplast in die Zwischenräume hineingespritzt wird, durch Hineinfließen eines Füllmaterials 27 in der flüssigen Phase, z.B. bei hohen Temperaturen, durch Hineinfließen eines Klebers in der flüssigen Phase, das später trocknet oder aushärtet (wie Epoxidharz) oder durch ein anderes bekanntes Verfahren erfolgen.

In Rahmen des in den Figuren 7a bis 7g dargestellten Verfahrens kommt die Abzweigung zur Herstellung eines in Figur 3a, 4 oder 6a dargestellten Bauelements, nachdem das in Figur 7c abgebildete Stadium der Herstellung erreicht wird. Wie oben bereits beschrieben, wird der Photolack hier auf die Benutzungsschicht 6 aufgebracht und mit mehreren negativen Formen von Strukturelementen 25 strukturiert, wenn das in Figur 3a oder 4 abgebildete Bauelement angestrebt wird. Hilfsweise wird der Photolack mit einer negativen Form des Strukturelement 25 strukturiert, wenn das in Figur 6a abgebildete Bauelement zu erreichen ist. Danach wird das Trägersubstrat 7 nach einem der oben genannten Verfahren abgeschieden, allerdings über den Photolack hinaus bis zur gewünschten Dicke des Trägerbodens 24 (z.B. 50 µm). Der Photolack kann zu jeder Zeit vor dem Vereinzeln der Bauelemente aufgelöst werden, oder auch nicht. Wenn der Photolack elastischer oder weicher als das Material des Trägersubstrats 7 ist, dann kann der Photolack zugleich als Füllmaterial 27 für das in den Figuren 4 oder 6a abgebildete Bauelement dienen. Ansonsten kann das

Bauelement wie zu den Figuren 7e bis 7g bereits beschrieben, weiterverarbeitet werden.

Das Trägersubstrat 7 kann auch strukturiert werden; nachdem  
5 das in Figur 9b gezeigte Prozeßstadium erreicht wird. Wie  
oben bereits beschrieben, wird der Photolack auf die Benet-  
zungsschicht 6 aufgebracht und strukturiert und das Träger-  
substrat 7 so aufgebracht, dass zumindest ein Strukturelement  
und ein Zwischenraum geformt und ein Trägerboden 24 ausgebil-  
det wird. Nach der optionalen Auflösung des Photolacks und  
der optionalen Anwendung eines Füllmaterials 27 kann die  
Weiterverarbeitung nach den Figuren 9d bis 9f erfolgen.

Ähnlicherweise kann die Strukturierung nach dem in Figur 10b  
erreichten Herstellungsstadium stattfinden. Hier wird der  
Photolack auf die zwischen den Trennstegen 13 liegende Benet-  
zungsschicht 6 aufgebracht und strukturiert. Wie oben bereits  
beschrieben, wird das Trägersubstrat 7 auf die zwischen den  
Trennstegen liegende Benutzungsschicht 6 bzw. auf den Photo-  
lack aufgebracht, so dass auch ein Trägerboden 24 ausgebildet  
wird. Die Weiterverarbeitung gemäß Figuren 10d bis 10g kann  
mit oder ohne Auflösung des Photolacks bzw. der Anwendung  
eines Füllmaterials 27 erfolgen.

Nach dem in den Figuren 11a bis 11d abgebildeten Verfahren kann das Trägersubstrat wie bereits oben beschrieben, strukturiert werden. Die Strukturelemente 25 sind niedriger als die Trennstege 13, damit dem Bauelement während eines eventuellen Scherverfahrens genügend mechanische Stabilität verliehen werden kann. Beispielsweise sind die Strukturelemente 25 ca. 15 µm hoch und die Trennstege 13 ca. 50µm hoch. Die Trennstege 13 können i.d.R. zwischen 50µm und 200 µm hoch sein, aber je höher die Trennstege 13 sind, desto dicker wird das Trägersubstrat 7 und desto mehr Material wird benötigt, was wiederum eine Kostenfrage ist.

000-000-002

Gemäß dem in Figuren 13a und 13b dargestellten Verfahren kann das Erzeugen eines strukturierten Trägersubstrats 7 zur Herstellung eines in den Figuren 3a, 4 oder 6a dargestellten Bauelements über der in Figur 13a abgebildeten Benetzungs-  
5 schicht 6 erfolgen.

## Patentansprüche

1. Halbleiterbauelement mit einer lichtemittierenden Halbleiterschicht oder einem lichtemittierenden Halbleiter-element (2) und zwei Kontaktstellen (3,8), die als eine Kontaktschicht (3) und ein Kontakt (8) ausgebildet sind, dadurch gekennzeichnet,  
dass das Bauelement auf einem Trägersubstrat (7) angeordnet ist und das Trägersubstrat (7) vertikal oder horizontal strukturiert ist.
2. Halbleiterbauelement nach Anspruch 1,  
bei dem das Trägersubstrat (7) einen Trägerboden (24) aufweist, der zumindest durch einen Zwischenraum (26) und ein vertikales Strukturelement (25) räumlich von der Halbleiterschicht (2) getrennt ist.
3. Halbleiterbauelement nach Anspruch 1 oder 2,  
bei dem zumindest ein Strukturelement (25) sich mittig unter dem Zentrum der Halbleiterschicht (2) befindet.
4. Halbleiterbauelement nach einem der Ansprüche 1 bis 3,  
bei dem das Strukturelement (25) in Querschnitt kreisförmig oder rechteckig ist.
5. Halbleiterbauelement nach einem der Ansprüche 1 bis 4,  
bei dem das Strukturelement oder die Strukturelemente ein Aspektverhältnis von zumindest zwei aufweist/aufweisen.
6. Halbleiterbauelement nach einem der Ansprüche 1 bis 5,  
bei dem das Verhältnis Halbleiterschichtlänge/-Strukturelementhöhe 15 nicht übersteigt.
7. Halbleiterbauelement nach einem der Ansprüche 1 bis 6,  
bei dem die Zwischenräume (26) mit einem Füllmaterial (27) gefüllt sind, das elastischer ist als das Material

des Trägersubstrats (7):

8. Halbleiterbauelement nach Anspruch 1,  
bei dem das Trägersubstrat (7) aus einer elektrisch leitfähigen Schichtenfolge besteht, deren Schichten in der Dicke so aufeinander abgestimmt sind, dass im Schichtpa-  
5 ket einschließlich der Halbleiterschicht (2) kein oder kaum Biegemoment entsteht, wobei die Schicht mit dem kleinsten Ausdehnungskoeffizienten (20) am weitesten weg  
10 von der Halbleiterschicht (2) angeordnet ist.
9. Halbleiterbauelement nach einem der Ansprüche 1 bis 8,  
bei dem zwischen dem Trägersubstrat (7) und der näher an  
15 dem Trägersubstrat (7) liegenden Kontaktstelle (3) zumindest eine Benetzungsschicht (6) ausgebildet ist.
10. Halbleiterbauelement nach einem der Ansprüche 1 bis 9,  
bei dem zwischen der Kontaktstelle (3) und dem Träger-  
substrat (7) oder zwischen der Kontaktstelle (3) und der  
20 Benetzungsschicht (6) zumindest eine Reflexionsschicht (4) angeordnet ist.
11. Halbleiterbauelement nach einem der Ansprüche 1 bis 10,  
bei dem zwischen der Reflexionsschicht (4) und dem Trä-  
gersubstrat (7) oder zwischen der Reflexionsschicht (4)  
und der Benetzungsschicht (6) zumindest eine Diffusions-  
barriere (5) angeordnet ist.
12. Halbleiterbauelement nach einem der Ansprüche 1 bis 11,  
30 bei dem das Trägersubstrat (7) elektrisch leitfähig ist.
13. Verfahren zur Herstellung eines lichtemittierenden Halb-  
leiterbauelements, das die folgenden Verfahrensschritte  
aufweist:  
35 (a) Epitaktisches Abscheiden einer lichtemittierenden  
Halbleiterschicht (2) auf einem Wachstumssubstrat (1),

(b) Versehen der Halbleiterschicht (2) mit einer metallischen Kontaktsschicht (3),

5 (c) Erzeugen einer Haft- und Benetzungsschicht (6) zumindest über der metallischen Kontaktsschicht (3),

10 (d) Aufbringen, Erzeugen oder Abscheiden eines mechanisch stabilen Trägersubstrats (7) auf die Haft- und Benetzungsschicht (6),

(e) Trennen der Halbleiterschicht (2) von dem Wachstumssubstrat (1),

15 (f) Ätzen von Mesagräben (10) zur Definition von einzelnen Chips zwischen den Mesagräben (10), wobei die Mesagräben (10) zumindest durch die gesamte Halbleiterschicht (2) und die gesamte Kontaktsschicht (3) hindurchreichen,

20 (g) Aufbringen eines elektrischen Kontaktes (8) auf der Halbleiterschicht (2) und

(h) Vereinzeln der Chips durch Trennung entlang den Mesagräben (10).

14. Verfahren zur Herstellung eines lichtemittierenden Halbleiterbauelements, das die folgenden Verfahrensschritte aufweist:

30 (a) Epitaktisches Abscheiden einer lichtemittierenden Halbleiterschicht (2) auf einem Wachstumssubstrat (1),

(b) Versehen der Halbleiterschicht (2) mit einer metallischen Kontaktsschicht (3),

35 (ba) Ätzen von Mesagräben (10) zur Definition von einzelnen Chips zwischen den Mesagräben (10), wobei die Mesa-

30

gräben (10) zumindest durch die gesamte Halbleiterschicht (2) und die gesamte Kontaktsschicht (3) hindurchreichen,

5 (c) Erzeugen einer Haft- und Benetzungsschicht (6) zumindest über der metallischen Kontaktsschicht (3),

(d) Aufbringen, Erzeugen oder Abscheiden eines mechanisch stabilen Trägersubstrats (7) auf die Haft- und Benetzungsschicht (6),

10 (e) Trennen der Halbleiterschicht (2) von dem Wachstumssubstrat (1),

15 (g) Aufbringen eines elektrischen Kontaktes (8) auf der Halbleiterschicht (2) und

(h) Vereinzeln der Chips durch Trennung entlang den Mesa-  
gräben (10).

20 15. Verfahren nach Anspruch 13 oder 14,  
bei dem nach dem Verfahrensschritt (b) eine Reflexions-  
schicht (4) auf der Kontaktsschicht (3) aufgebracht oder  
in der Kontaktsschicht (3) integriert wird.

16. Verfahren nach Anspruch 15,  
bei dem eine Diffusionsbarriere (5) auf der Reflexions-  
schicht (4) aufgebracht wird.

30 17. Verfahren nach einem der Ansprüche 13 bis 16,  
bei dem die Kontaktsschicht gemäß Verfahrensschritt (b),  
die Reflexionsschicht (4), die Diffusionsbarriere (5),  
die Benetzungsschicht (6) gemäß Verfahrensschritt (c)  
und/oder der Kontakt (8) gemäß Verfahrensschritt (g) mit-  
tels Sputterns oder Aufdämpfens aufgebracht werden.

35 18. Verfahren nach einem der Ansprüche 13 bis 17,  
bei dem

- ein selektiv auflösbares Material für das Wachstumssubstrat (1) verwendet wird und
  - das Trennen der Halbleiterschicht (2) von dem Wachstumssubstrat (1) gemäß Verfahrensschritt (e) durch selektives Ätzen des Wachstumssubstrats (1) erfolgt.
19. Verfahren nach einem der Ansprüche 13 bis 18 bei dem
- vor dem Verfahrensschritt (a) eine Opferschicht, die aus einem selektiv auflösbar Material besteht, auf das Wachstumssubstrat aufgebracht wird, so dass der Verfahrensschritt (a) auf dieser Opferschicht stattfindet und
  - das Trennen der Halbleiterschicht (2) von dem Wachstumssubstrat (1) gemäß Verfahrensschritt (e) durch selektives Ätzen der Opferschicht erfolgt.
20. Verfahren nach einem der Ansprüche 13 bis 18, bei dem ein bereits laminiertes Substrat als Wachstumssubstrat (1) eingesetzt wird, wobei das laminierte Substrat eine Haftschicht mit geeigneten Sollbruchstellen aufweist, an denen während des Verfahrensschritts (e) das Wachstumssubstrat (1) gezielt von der Halbleiterschicht (2) getrennt wird.
21. Verfahren nach einem der Ansprüche 13 bis 18, bei dem das Trennen der Halbleiterschicht (2) von dem Wachstumssubstrat (1) gemäß Verfahrensschritt (e) durch ein Laserlift-off-Verfahren erfolgt, indem die Halbleiterschicht (2) an der Grenzfläche mit dem Wachstumssubstrat (1) mittels eines Lasers zersetzt wird.
22. Verfahren nach einem der Ansprüche 13 bis 21, bei dem das mechanisch stabile Trägersubstrat (7) durch ein Sputterverfahren, ein CVD-Verfahren, ein galvanisches Verfahren oder stromloses Plättieren abgeschieden wird.

32

23. Verfahren nach einem der Ansprüche 13 bis 22,  
bei dem nach dem Verfahrensschritt (d)  
auf das Trägersubstrat (7) ein zusätzliches Hilfssubstrat  
(12) aufgebracht wird.

5

24. Verfahren nach dem Anspruch 23,  
bei dem das zusätzliche Hilfssubstrat (12) auf das Trä-  
gersubstrat (7) mittels eines Klebeverfahrens oder Lötens  
befestigt wird.

10

25. Verfahren nach Anspruch 23 oder 24,  
bei dem eine zum Löten benötigte Lotschicht (11) und/oder  
das Hilfssubstrat (12) mittels Sputterns, Aufdampfens  
oder galvanisch aufgebracht werden/wird.

15

26. Verfahren nach einem der Ansprüche 13 bis 25,  
bei dem das Trägersubstrat (7) aus einer Schichtenfolge  
besteht, deren Schichten in der Dicke so aufeinander ab-  
gestimmt werden, dass die Schicht mit dem größten Elasti-  
20 zitätsmodul (21) am dünnsten ist und die Schicht mit dem  
kleinsten Elastizitätsmodul (20) am dicksten ist.

20

27. Verfahren nach einem der Ansprüche 13 bis 25,  
bei dem die gesamte Dicke des Trägersubstrats (7) und ge-  
gebenenfalls des Hilfssubstrats (12) und der Lot- oder  
Klebeschicht (11) nicht 15 Mikrometer überschreitet.

30

28. Verfahren nach einem der Ansprüche 13 bis 26,  
bei dem nach Verfahrensschritt (g) eine Passivierungs-  
schicht (9) zumindest teilweise über die Halbleiter-  
schicht (2) aufgebracht wird.

30

29. Verfahren nach einem der Ansprüche 13 bis 27,  
bei dem nach Verfahrensschritt (g) dreidimensionale  
Strukturen zur Optimierung der Lichtauskopplung auf die  
Halbleiterschicht (2) und/oder, wenn vorhanden, auf die

35

Passivierungsschicht (9) aufgebracht werden.

30. Verfahren nach Anspruch 29,  
bei dem die dreidimensionalen Strukturen zur Optimierung  
der Lichtauskopplung pyramidenförmig mit zumindest drei  
sichtbaren Flächen je Pyramide auf der Halbleiterschicht  
(2) und/oder der Passivierungsschicht (9) oder kegelför-  
mig auf der Halbleiterschicht (2) und/oder der Passi-  
vierungsschicht (9) ausgebildet werden.  
10.
31. Verfahren nach Anspruch 29 oder 30,  
bei dem die dreidimensionalen Strukturen zur Optimierung  
der Lichtauskopplung mittels nasschemischen oder Trocken-  
Ätzens erzeugt werden.  
15
32. Verfahren nach einem der Ansprüche 14 bis 31,  
bei dem nach Verfahrensschritt (b) eine Passivierungs-  
schicht (9) zumindest teilweise über die Halbleiter-  
schicht (2), die Kontaktsschicht (3) und, wenn vorhanden,  
20 auch über die Reflexionsschicht (4) und die Diffusions-  
barriere (5) aufgebracht wird.  
25
33. Verfahren nach einem der Ansprüche 13 bis 32,  
bei dem die Chips gemäß Verfahrensschritt (h) durch Sägen  
oder Laserschneiden vereinzelt werden.  
30
34. Verfahren nach einem der Ansprüche 14 bis 33,  
bei dem nach dem Verfahrensschritt (c) in den Mesagräben  
(10) auf der Benetzungsschicht (6) Trennsteg (13) so  
aufgebracht werden, dass die Trennsteg (13) die Mesagrä-  
ben (10) über die gesamte Länge vollkommen füllen und die  
dazwischen liegende Oberfläche der Benetzungsschicht (6)  
überragen.  
35
35. Verfahren nach Anspruch 34,  
bei dem die Trennsteg (13) mit einer Höhe von zumindest

10 Mikrometer über dem Grabenboden aufgebracht werden.

36. Verfahren nach einem der Ansprüche 34 bis 35,  
bei dem ein Photolack als Material für die Trennsteg  
5 (13) verwendet wird.
37. Verfahren nach einem der Ansprüche 34 bis 36,  
bei dem die Trennsteg mittels Photolithographie oder des  
LIGA-Verfahrens aufgebracht werden.
- 10 38. Verfahren nach einem der Ansprüche 34 bis 37,  
bei dem die Trennsteg (13) so ausgebildet werden, dass  
sie in Querschnitt eine Spitze aufweisen.
- 15 39. Verfahren nach einem der Ansprüche 34 bis 38,  
bei dem der Verfahrensschritt (d) lediglich in den Räumen  
zwischen den Trennstegen (13) stattfindet und das Träger-  
substrat-Material bis zur Höhe der Trennsteg (13) aufge-  
bracht wird.
- 20 40. Verfahren nach einem der Ansprüche 34 bis 38,  
bei dem der Verfahrensschritt (d) lediglich in den Räumen  
zwischen den Trennstegen (13) stattfindet und das Träger-  
substrat-Material über die Höhe der Trennsteg (13) hin-  
aus aufgebracht wird.
41. Verfahren nach Anspruch 40,  
bei dem nach dem Verfahrensschritt (g) das Material der  
Trennsteg (13) selektiv entfernt wird.
- 30 42. Verfahren nach Anspruch 41,  
bei dem das Material der Trennsteg (13) mittels eines  
Lösungsmittels aufgelöst wird.
- 35 43. Verfahren nach einem der Ansprüche 40 bis 42,  
bei dem der Verfahrensschritt (h) mittels eines Scher-

prozesses durchgeführt wird.

44. Verfahren nach einem der Ansprüche 40 bis 43,  
bei dem während des Verfahrensschritts (h) die Chips in  
Streifen (17) vereinzelt werden und dann direkt von die-  
sen Streifen (17) weg mittels eines Trenn- und Bondwerk-  
zeug (18) montiert werden.
45. Verfahren nach Anspruch 39,  
bei dem  
- vor dem Verfahrensschritt (e) das Material der Trenn-  
stege (13) selektiv entfernt wird, wobei Trägersubstrat-  
Inseln (71) entstehen,  
- danach die gesamte Struktur oberhalb des Wachstums-  
substrats (1) samt den herausragenden freien Träger-  
substrat-Inseln (71) und Mesagräben (10) von einem Hilfs-  
material (14) komplett überformt werden und  
- die Vereinzelung gemäß Verfahrensschritt (h) durchge-  
führt wird, indem eine Trägerfolie (15) über den elek-  
trischen Kontakten (8) auf der Halbleiterschicht (2) auf-  
gebracht wird und das Hilfsmaterial (14) selektiv ent-  
fernt wird.
46. Verfahren nach Anspruch 45,  
bei dem ein Metall, Polymer und/oder Glas basiertes Mate-  
rial als das Hilfsmaterial (14) verwendet wird.
47. Verfahren nach einem der Ansprüche 14 bis 33,  
bei dem  
- das Aufbringen der Haft- und Benetzungsschicht (6) ge-  
mäß Verfahrensschritt (c) sich lediglich auf die Oberflä-  
che der äußersten Schicht beschränkt,  
- vor dem Verfahrensschritt (d), die Mesagräben (10) kom-  
plett mit einer Anti-Benetzungsschicht (16) überdeckt  
werden,  
- das Aufbringen des Trägersubstrats (7) gemäß dem Ver-  
fahrensschritt (d) dementsprechend nur auf die Haft- und

Benetzungsschicht (6) stattfindet und vor dem Zusammenwachsen von benachbarten Trägersubstrat-Inseln (71) gestoppt wird,

- die gesamte Struktur oberhalb des Wachstumssubstrats (1) samt den herausragenden freien Trägersubstrat-Inseln (71) und Mesagräben (10) von einem Hilfsmaterial (14) komplett überformt werden und.

- die Vereinzelung gemäß Verfahrensschritt (h) durchgeführt wird, indem eine Trägerfolie (15) über den elektrischen Kontakten (8) auf der Halbleiterschicht (2) aufgebracht wird und das Hilfsmaterial (14) selektiv entfernt wird.

48. Verfahren nach einem der Ansprüche 14 bis 47,  
bei dem die Erzeugung oder das Abscheiden des Trägersubstrats (7) auf die Haft- und Benetzungsschicht (6) gemäß Verfahrensschritt (d) auf die folgende Weise durchgeführt wird:

- ein Photolack wird auf die Benetzungsschicht (6) aufgebracht und entsprechend durchgehend strukturiert, dass eine oder mehrere negative Formen von vertikalen Strukturelementen (25) entstehen,  
- das Trägersubstrat wird in die negativen Formen und auf den Photolack bis zur Bildung eines Trägerbodens (24) oberhalb des Photolacks aufgebracht.

49. Verfahren nach Anspruch 48,  
bei dem der Photolack selektiv entfernt wird.

50. Verfahren nach Anspruch 49,  
bei dem die durch Entfernung des Photolacks entstanden Zwischenräume (26) mit einem Füllmaterial (27) aufgefüllt werden.

51. Verfahren nach Anspruch 50,  
bei dem ein Füllmaterial (27) elastischer als das Materi-

al des Trägersubstrats (7) verwendet wird.

52. Verfahren nach einem der Ansprüche 48 bis 51,  
bei dem der Photolack so strukturiert wird, dass zumindest eine negativen Form eines vertikalen Strukturelements unter dem Zentrum der Halbleiterschicht (2) vorgesehen ist.

ZusammenfassungHalbleiterbauelement und Verfahren zur Herstellung

5. Zur Verminderung bzw. Kompensation der thermischen Spannungen im Bauelement wird ein Halbleiterbauelement mit einer licht-emittierenden Halbleiterschicht oder einem lichtemittierenden Halbleiterelement, zwei Kontaktstellen und einem vertikal oder horizontal strukturierten Trägersubstrat, und ein Verfahren zur Herstellung eines Halbleiterbauelements entwickelt. Die thermischen Spannungen entstehen durch Temperaturwechsel während der Prozessierung und im Betrieb und aufgrund der unterschiedlichen Ausdehnungskoeffizienten des Halbleiters und Trägersubstrats. Das Trägersubstrat wird so strukturiert, dass die thermischen Spannungen ausreichend verminder-  
10 bzw. kompensiert sind, dass das Bauelement nicht ausfällt.
- 15

(Figur 4)

002,0809.

1115

30-008-02

4.

Fig. 1

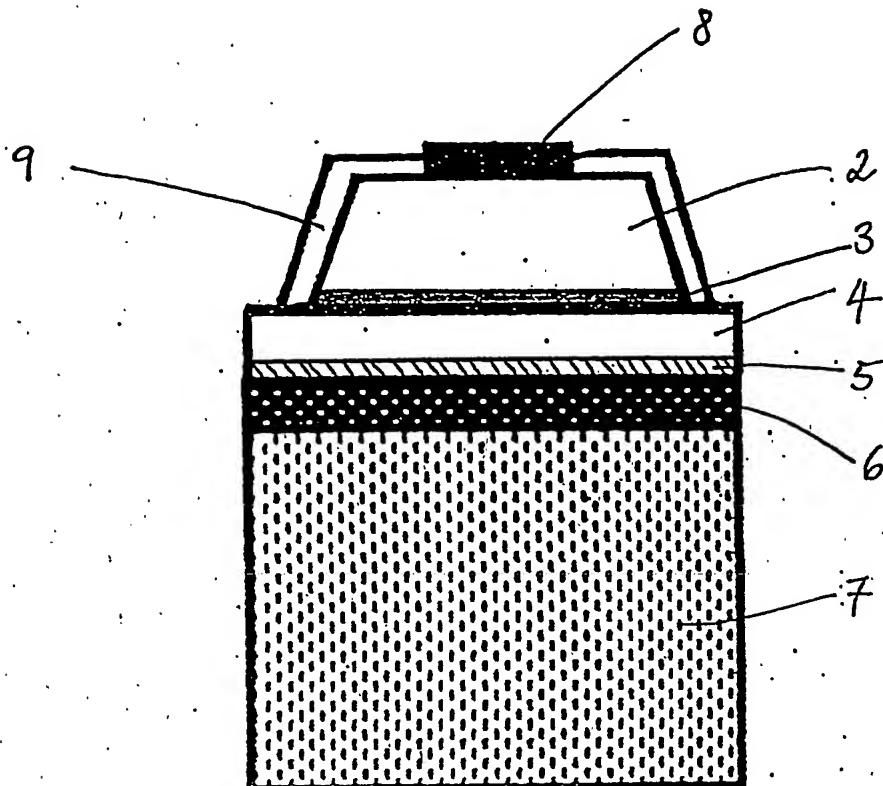
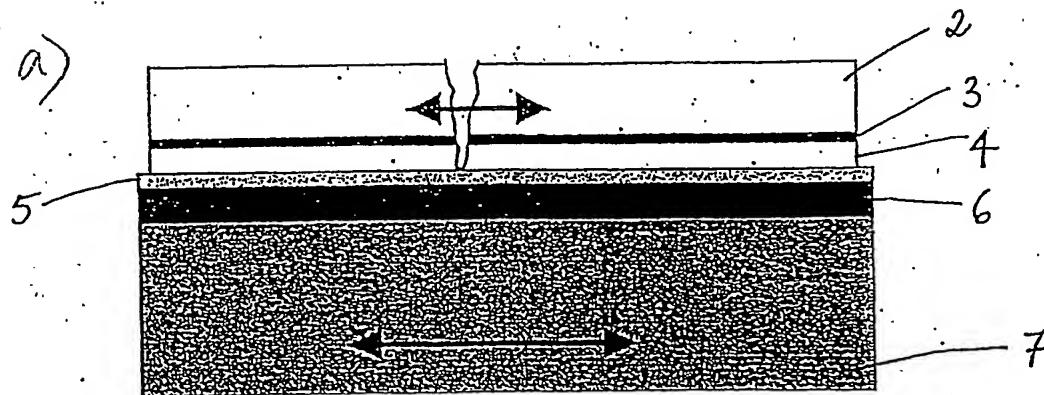


Fig. 2 a)

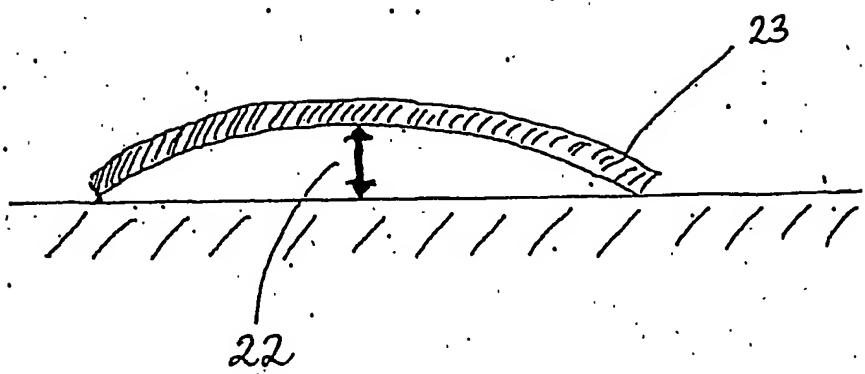


102,0809

2115

30.00.00.00

Fig 26)



902,0809

3115

000-000-000

4.

Fig 3a)

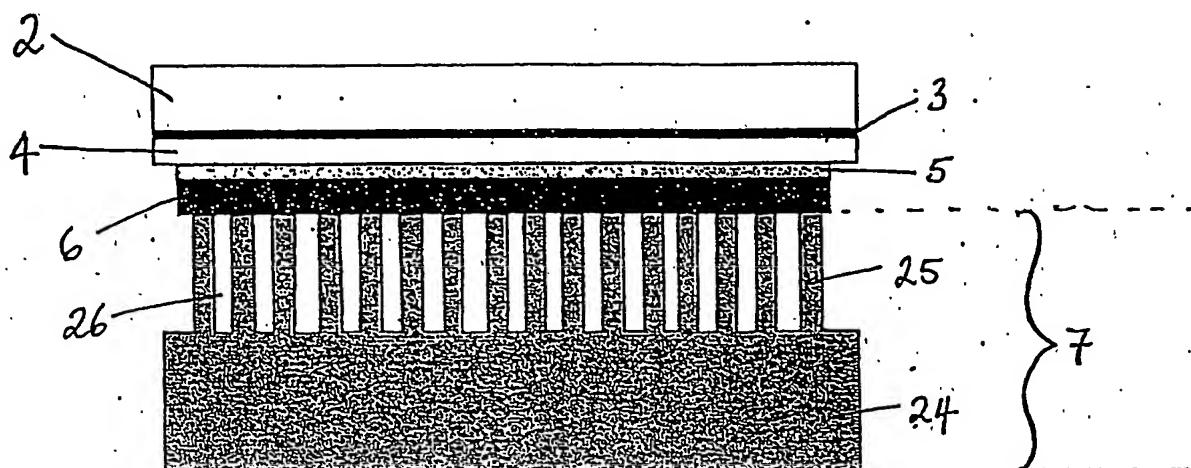


Fig 3b)

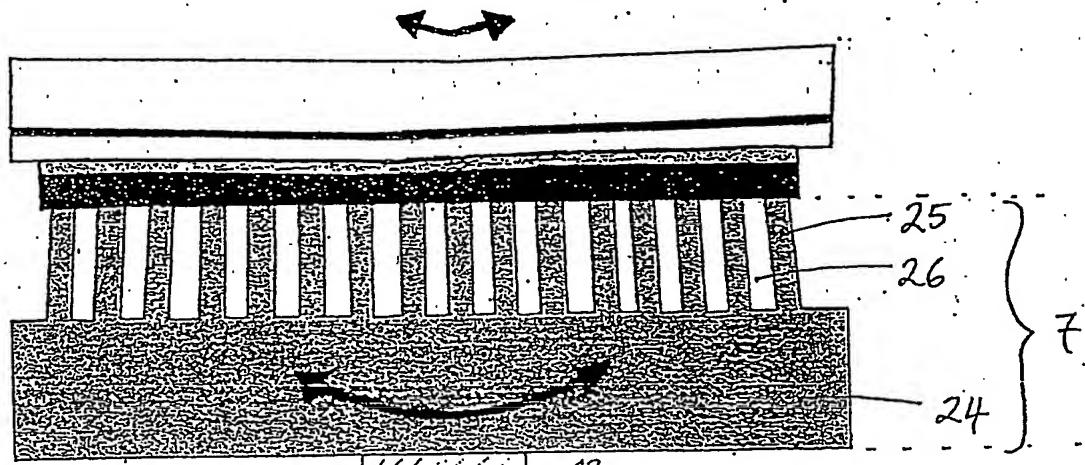
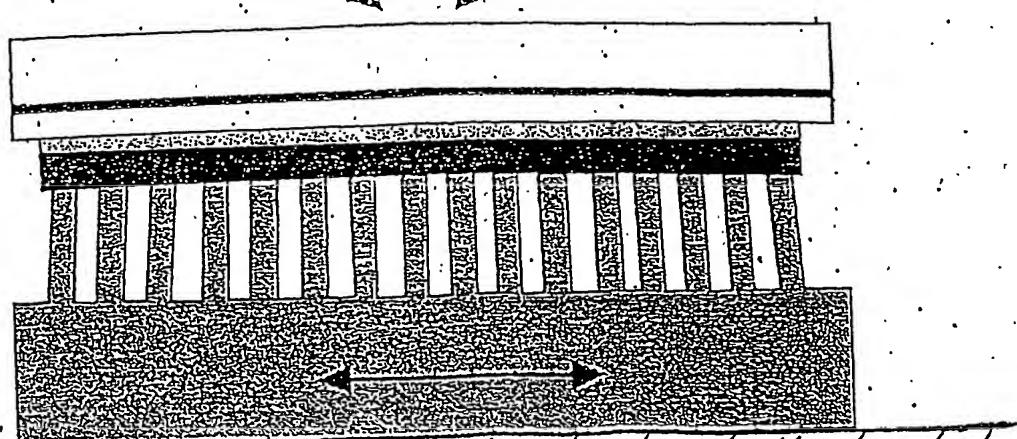


Fig 3c)



307,0809

4115

300-100-00

Fig. 4

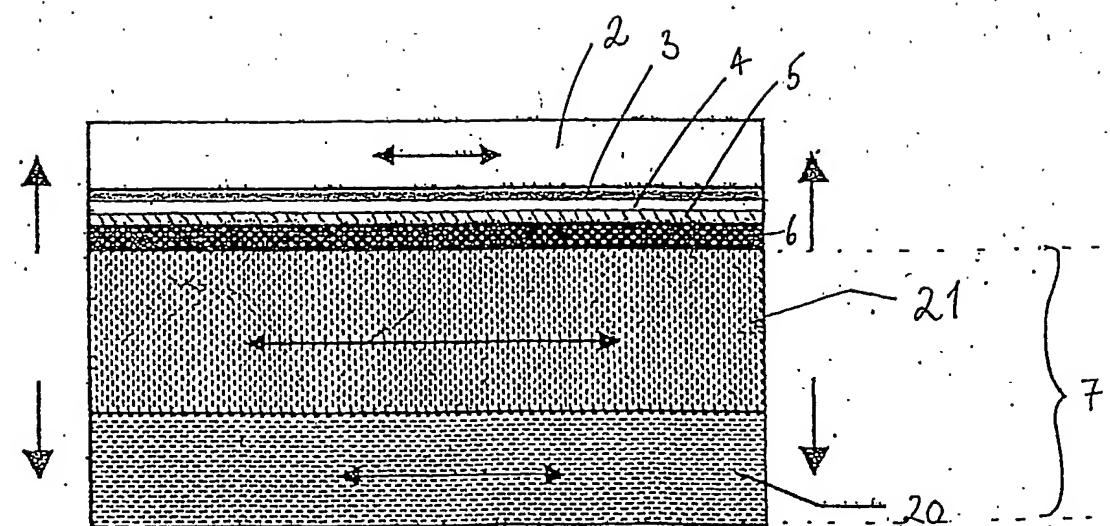
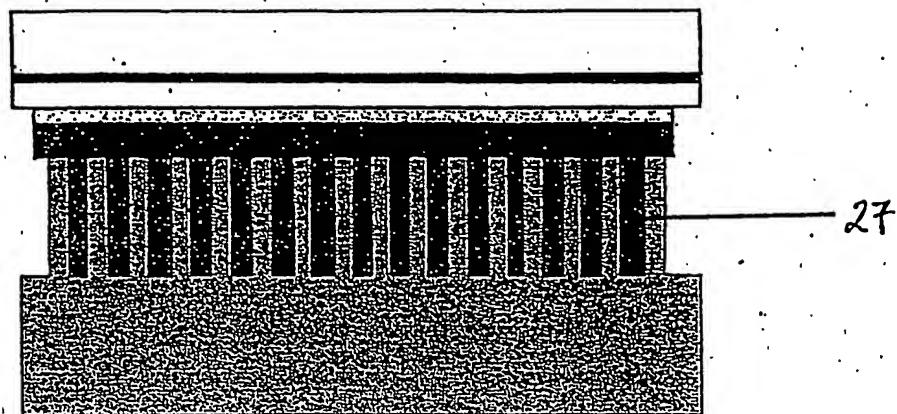


Fig 5

2002,0809

5/15

45

000-000-00

Fig 6a)

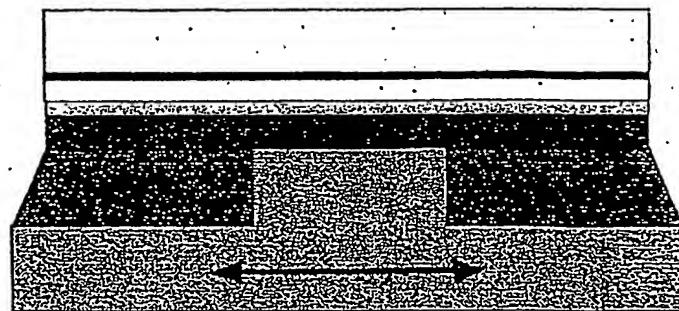
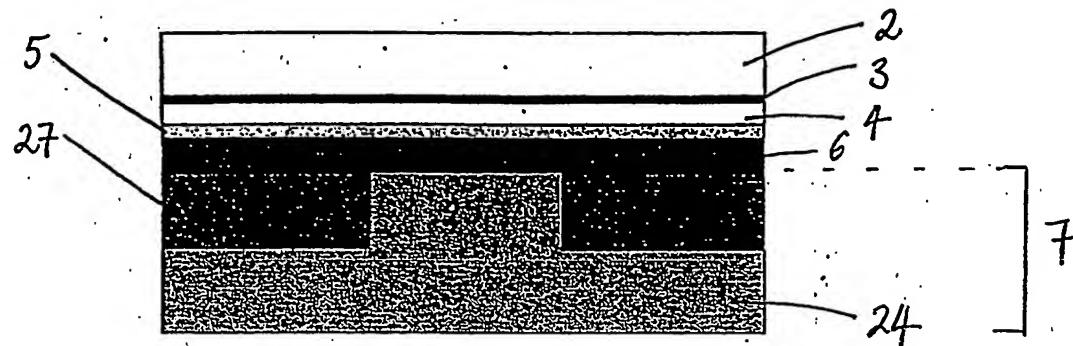


Fig 6b)

6002,6809

6115

46

000-000-002

Fig 7 a)

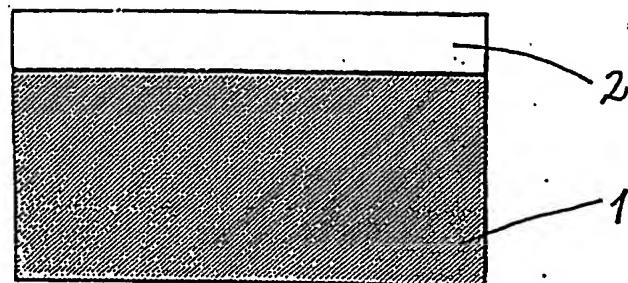


Fig 7 b)

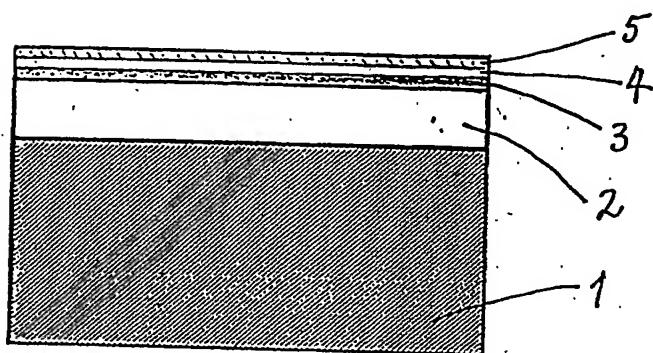


Fig 7 c)

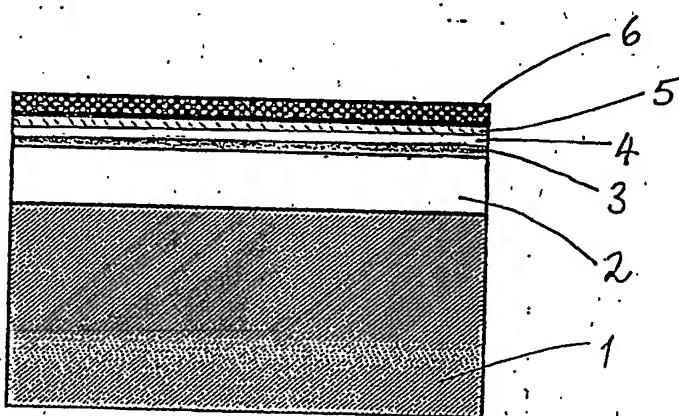
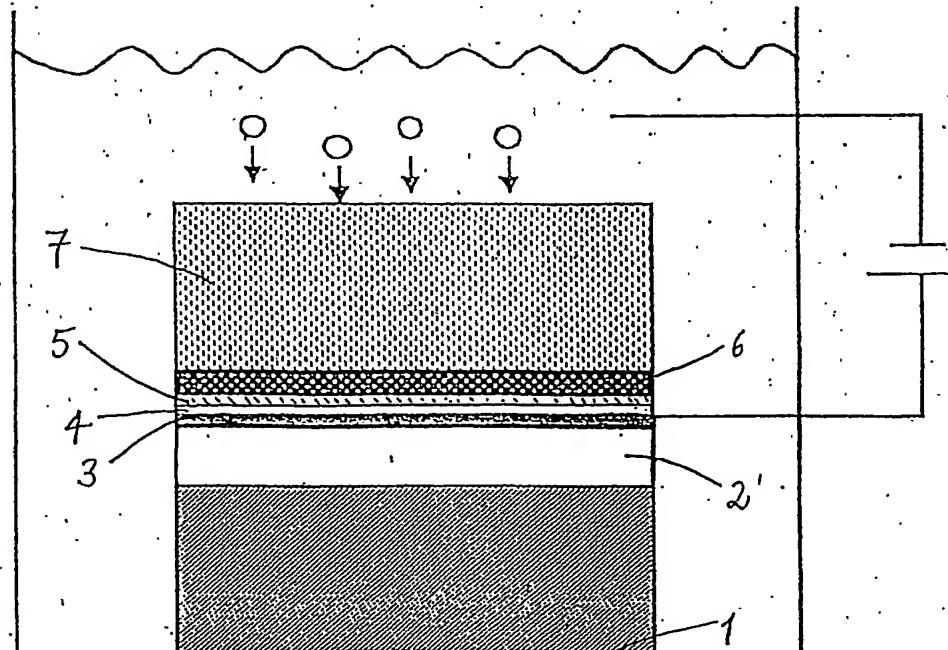


Fig 7 d)



2002,0809

7/15

300 000 100

Fig 7-e)

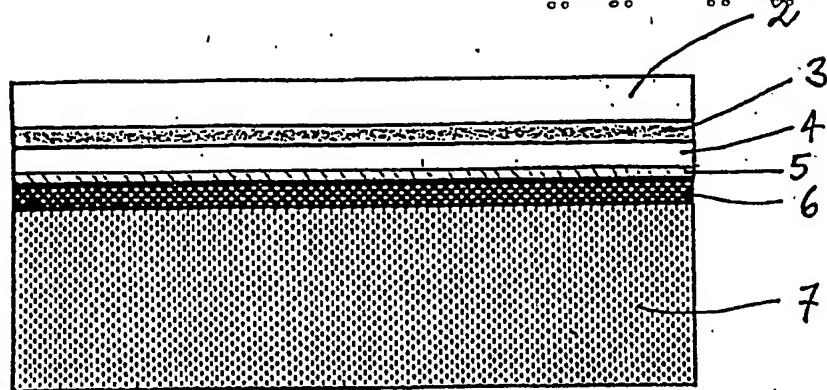


Fig 7-f)

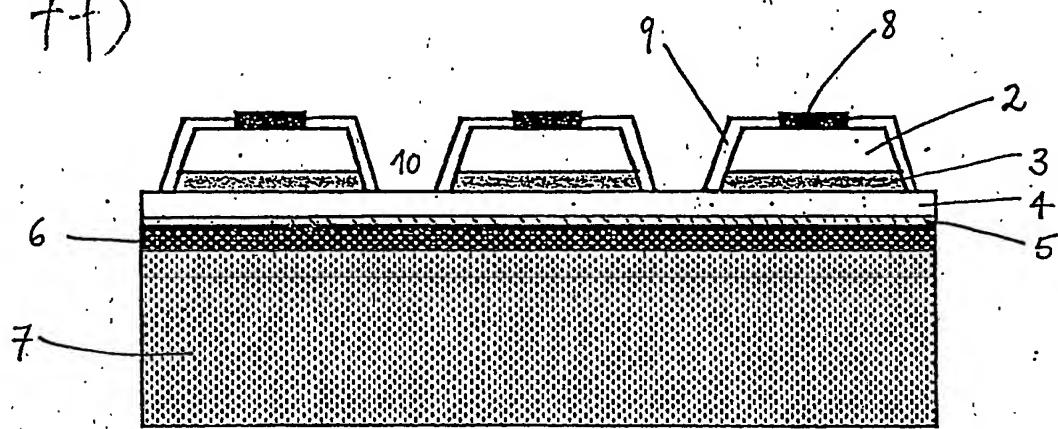
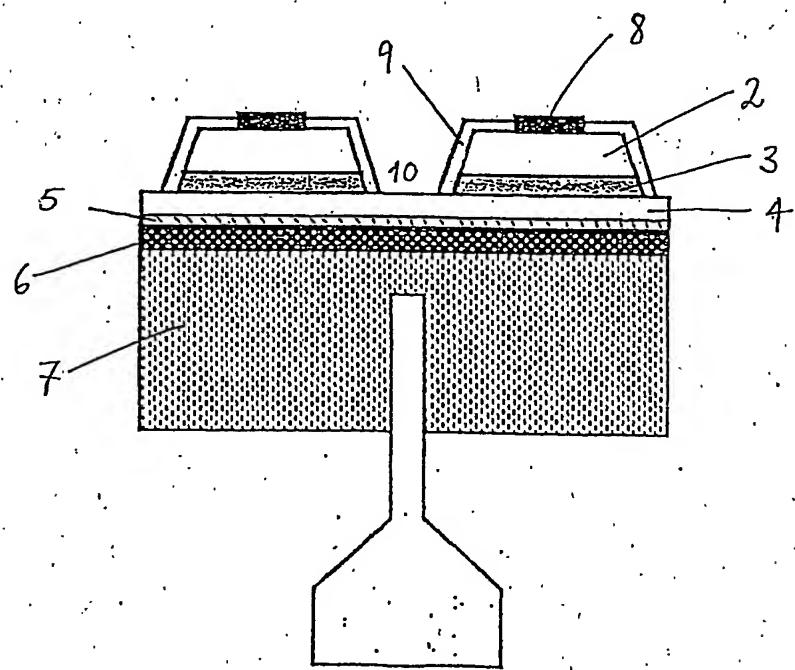


Fig 7-g)



002,0809

8/15

30.000.000

42

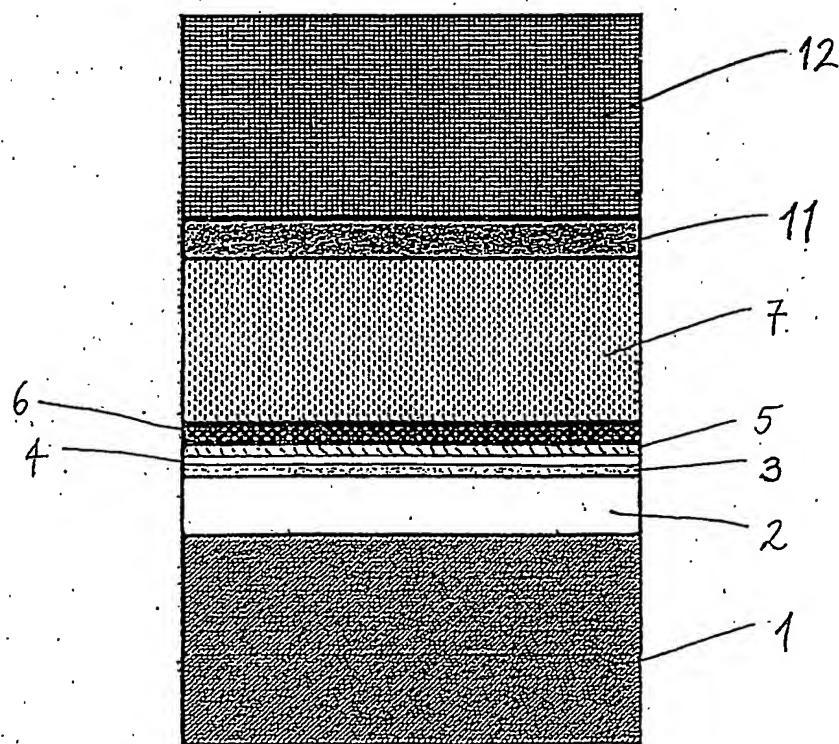


Fig. 8.

502,0809

9/15

Fig 9 a)

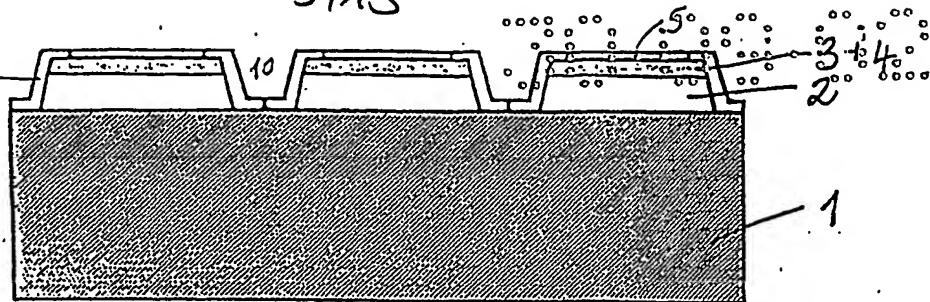


Fig 9 b)

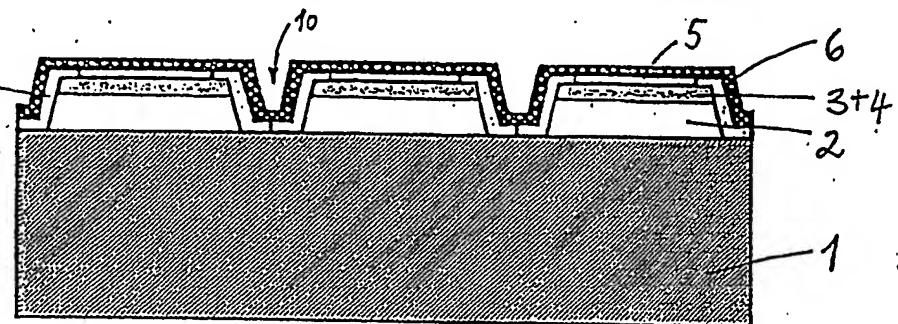


Fig 9 c)

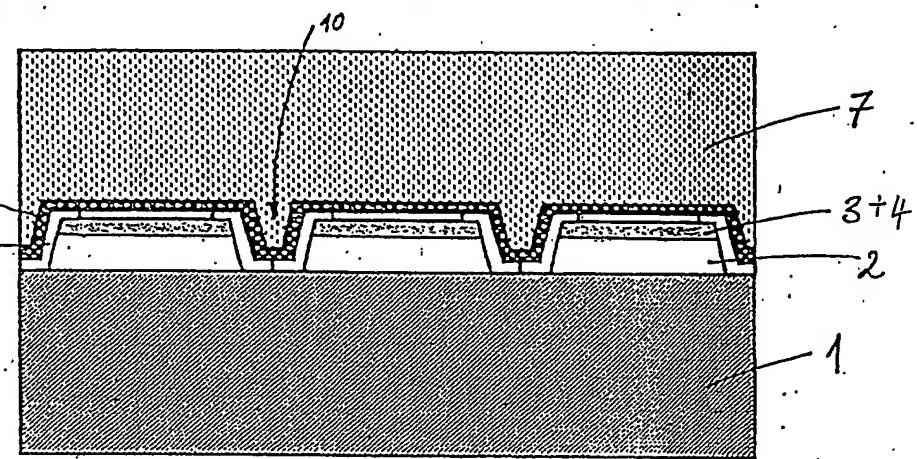


Fig 9 d)

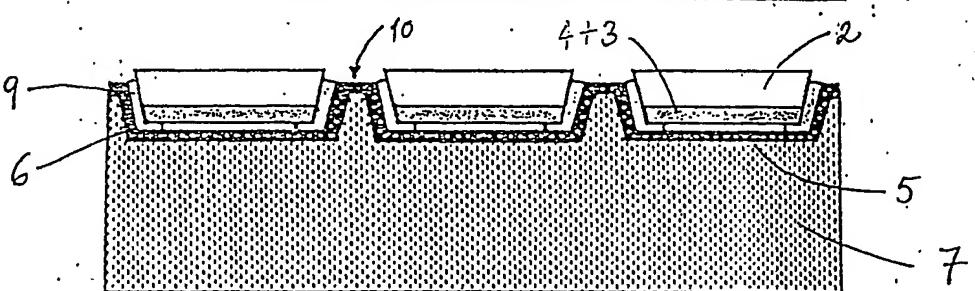


Fig 9 e)

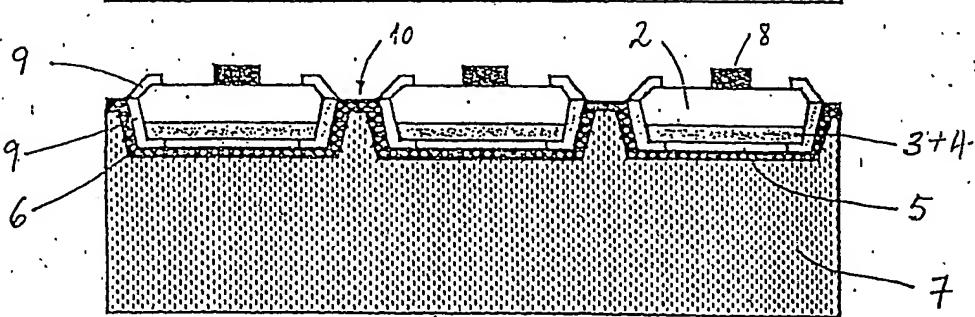
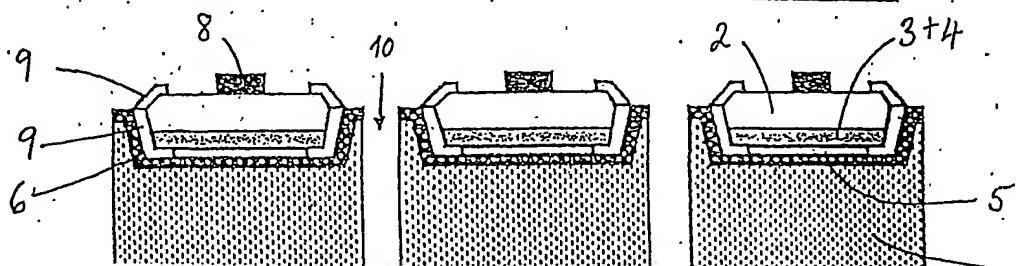


Fig 9 f)



02,0809

10/15

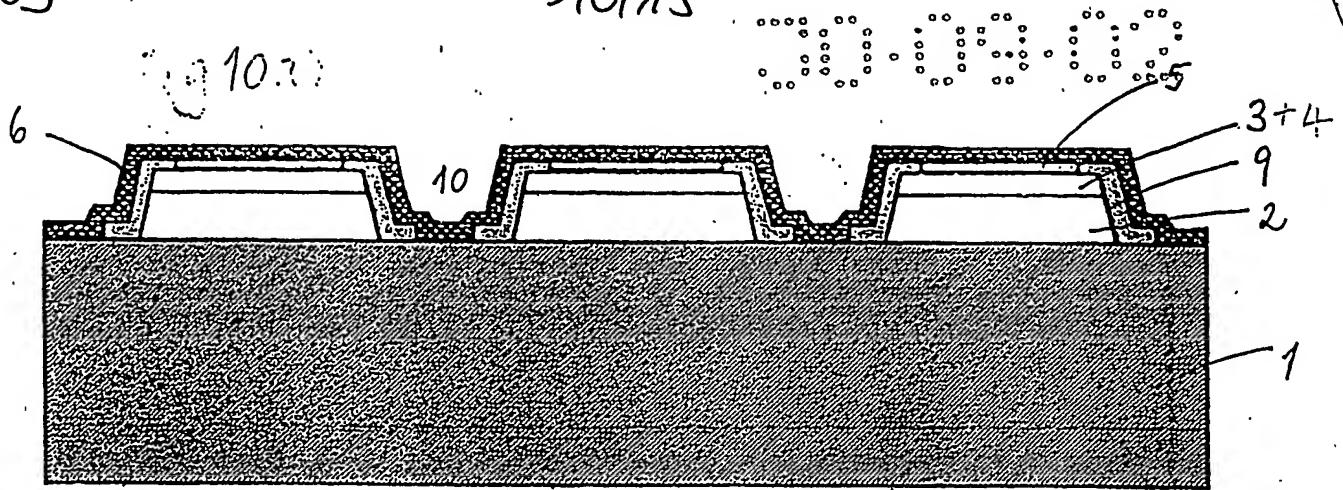


Fig 10(1)

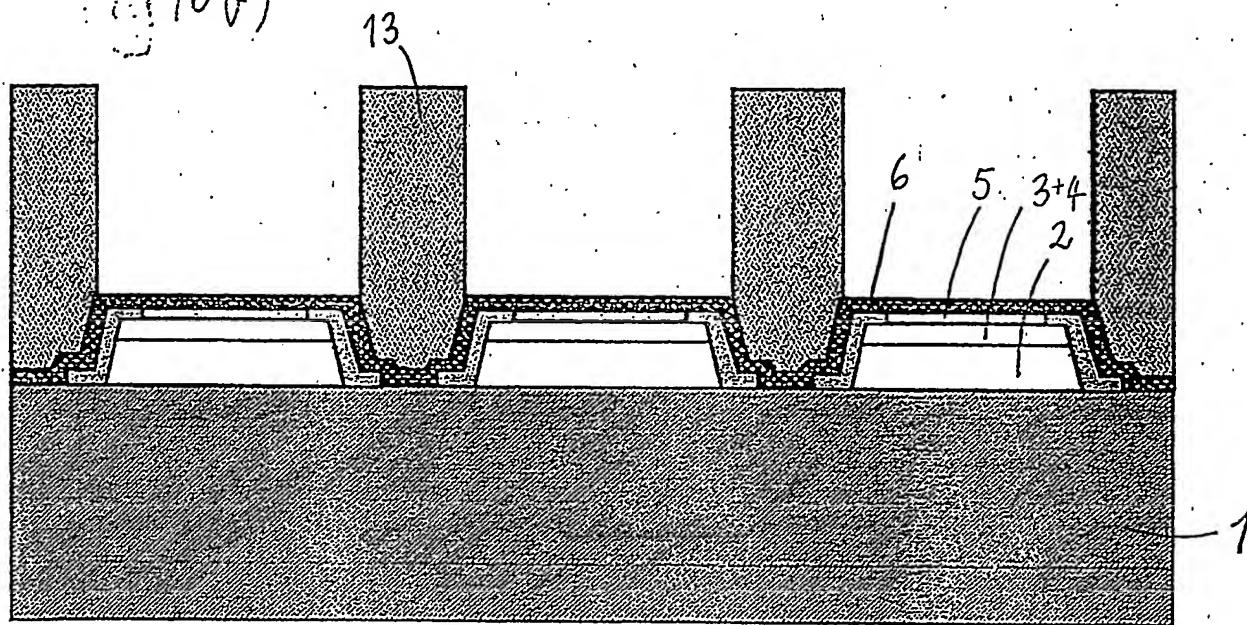
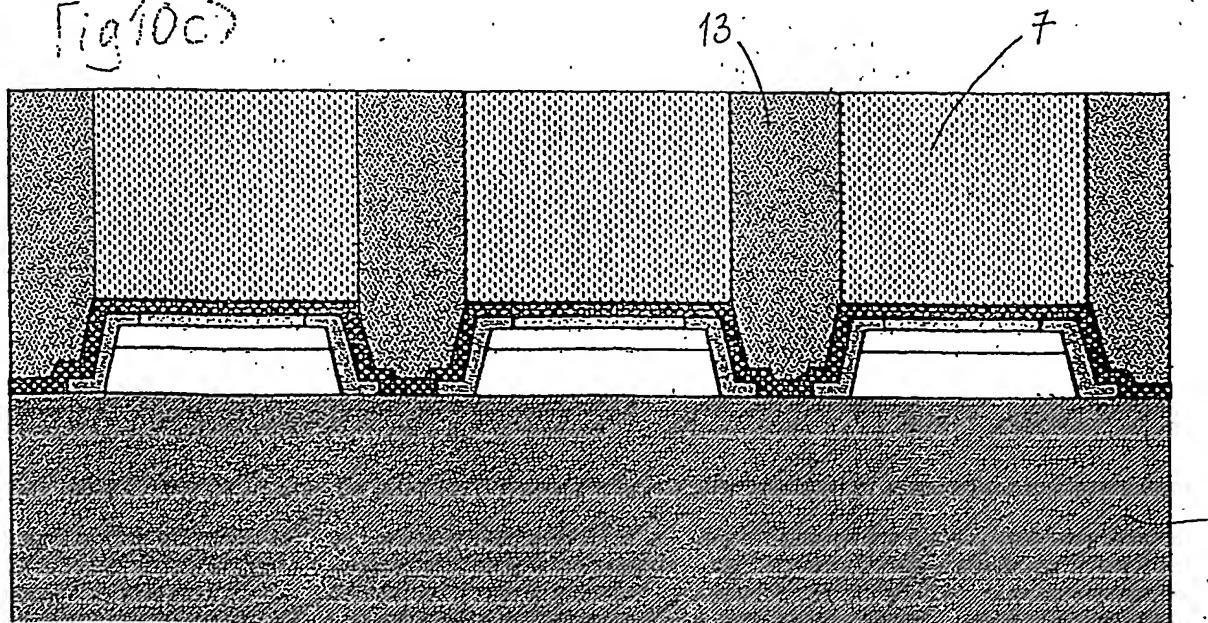


Fig 10(2)



02.0809

1115

30.09.02

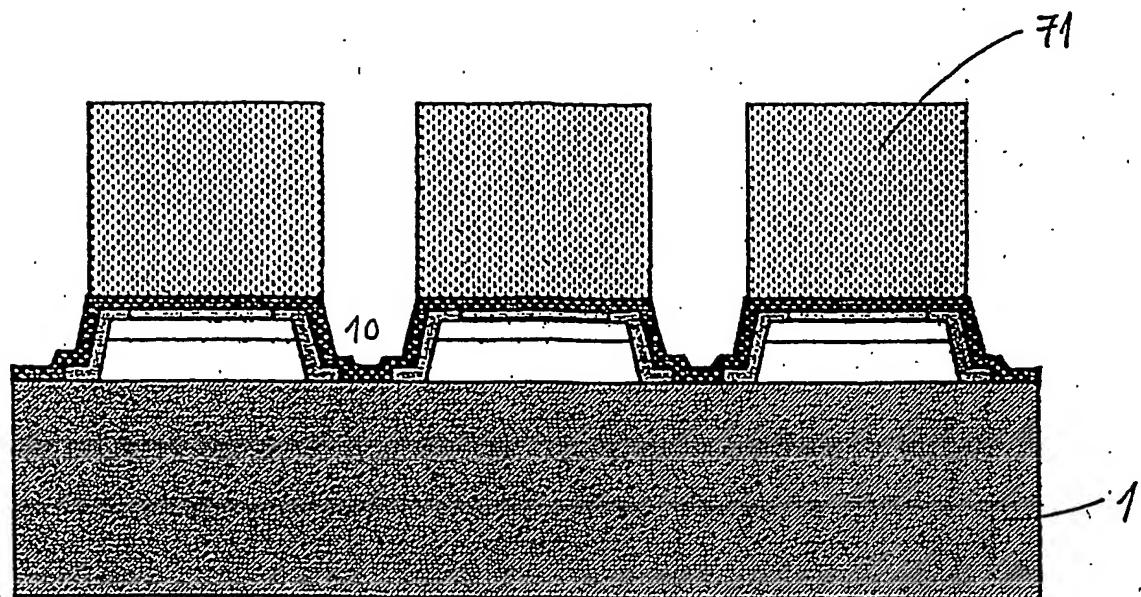


Fig 10 d)

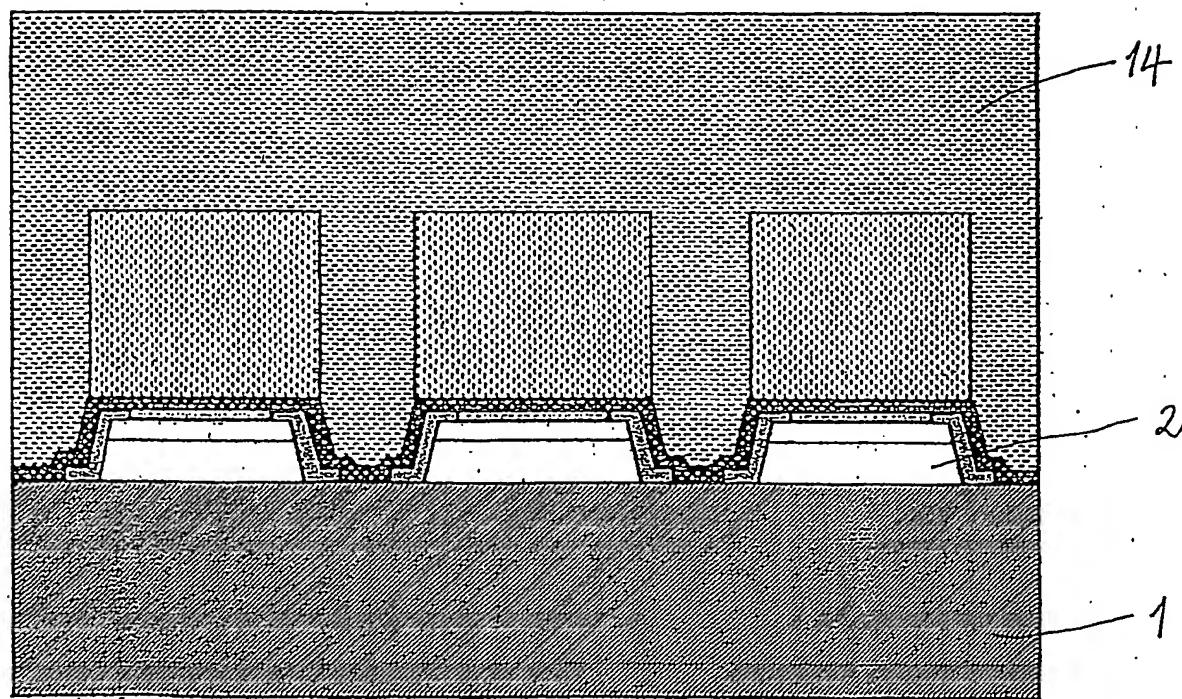


Fig 10 e)

27,0809

12115

00-00-00

Fig 10 f)

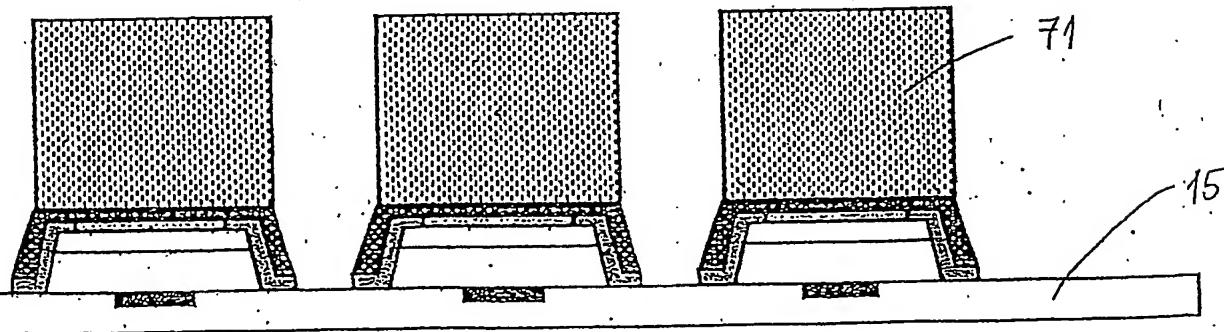
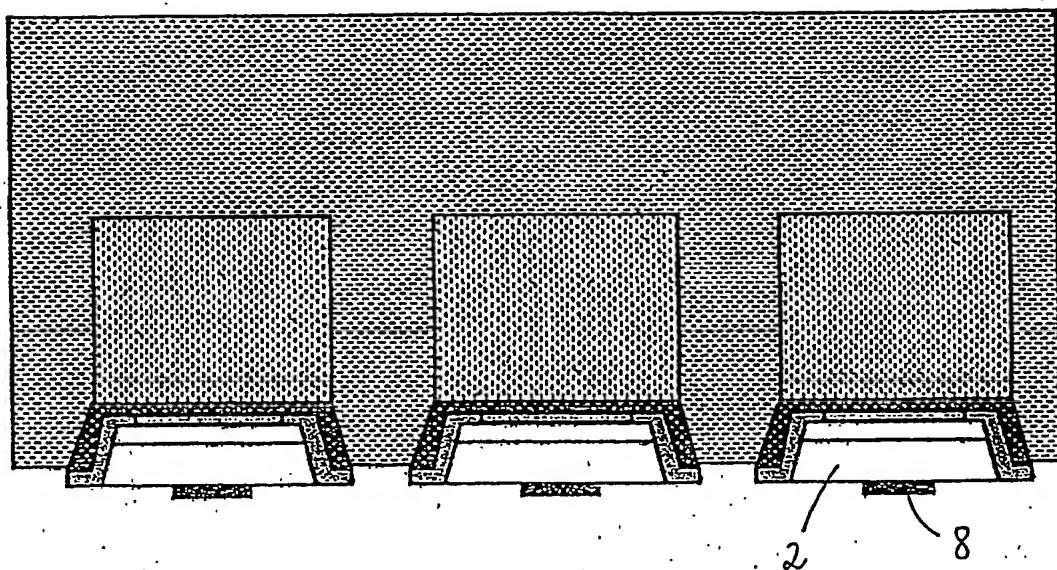


Fig 10 g)

302,0809

13115

5

Fig 11a)

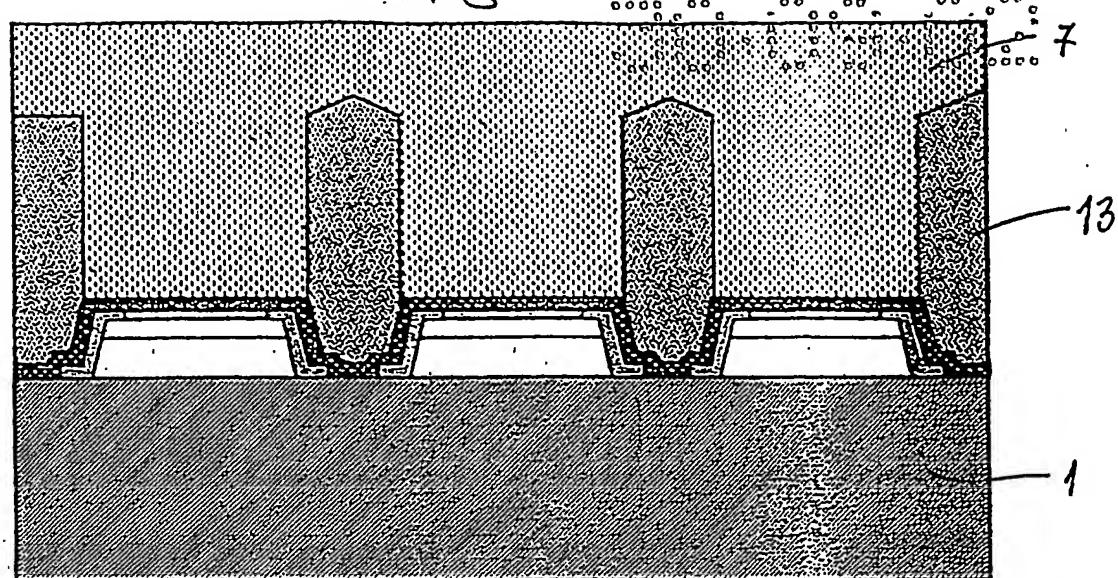


Fig 11b)

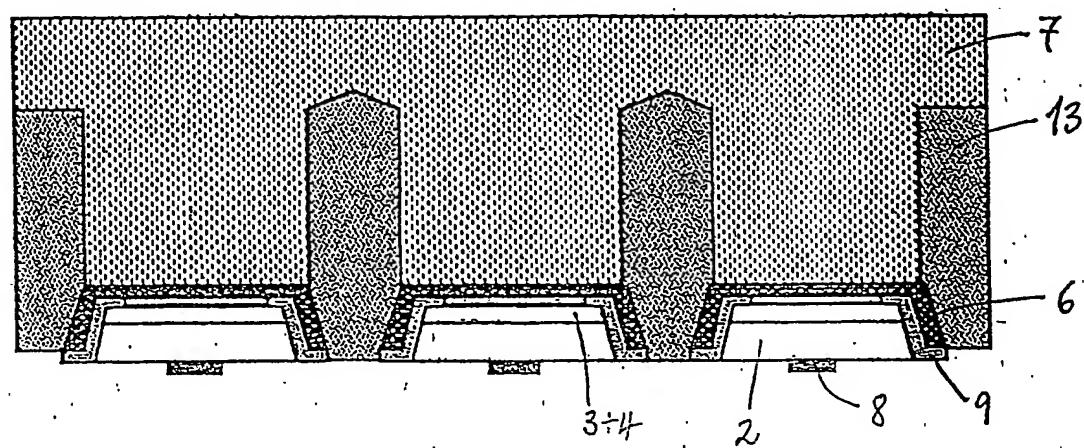


Fig 11c)

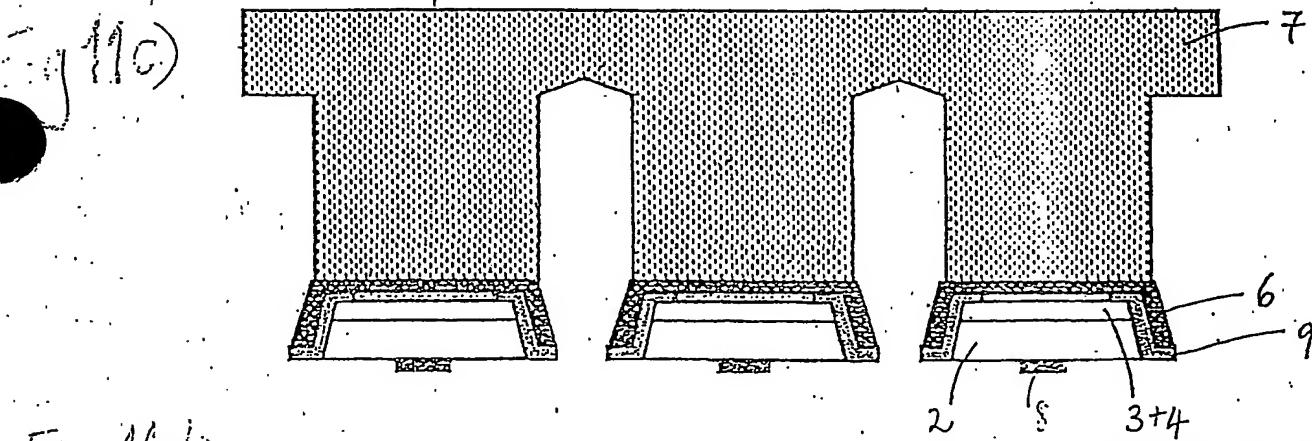
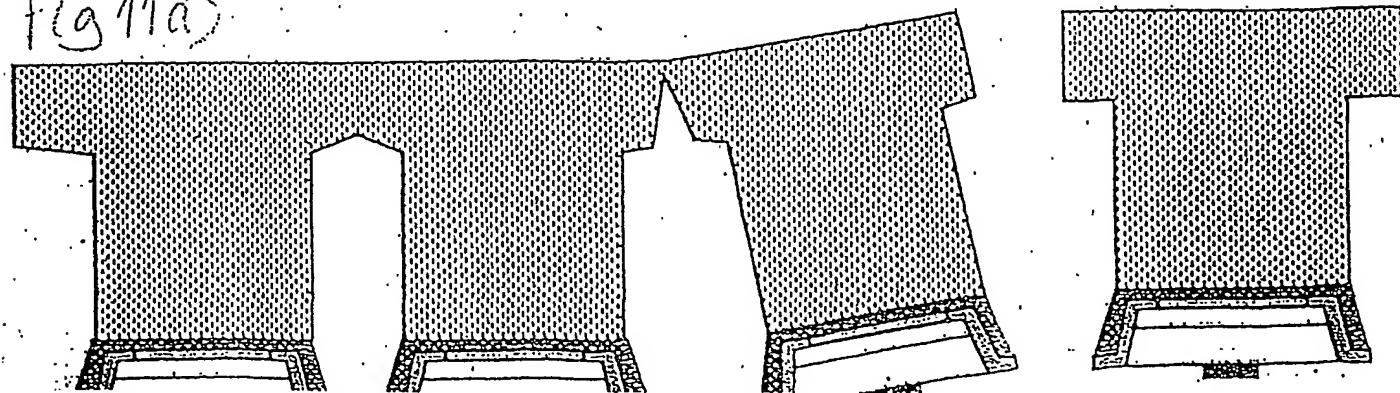


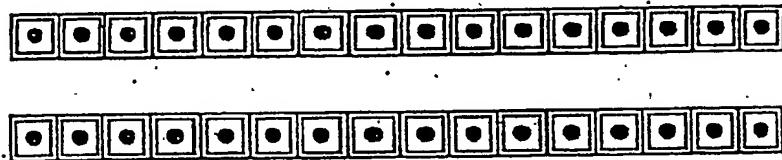
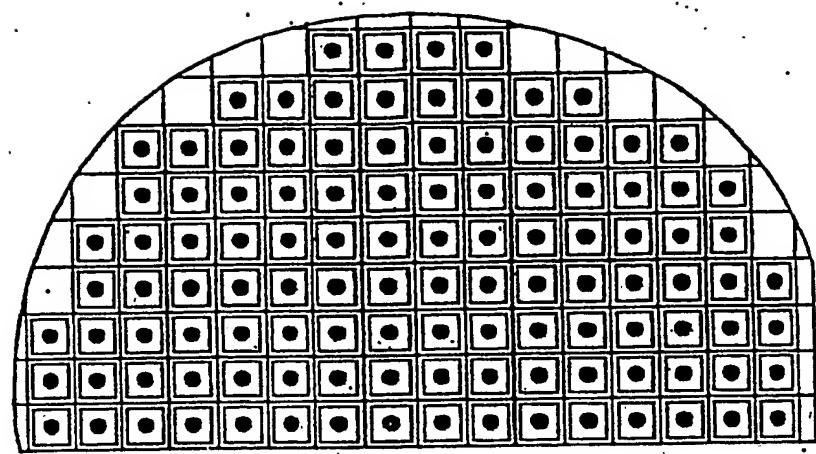
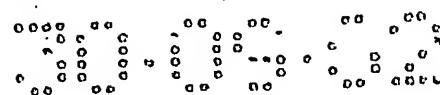
Fig 11d)



902,0809

14/15

59



17

Fig 12a)

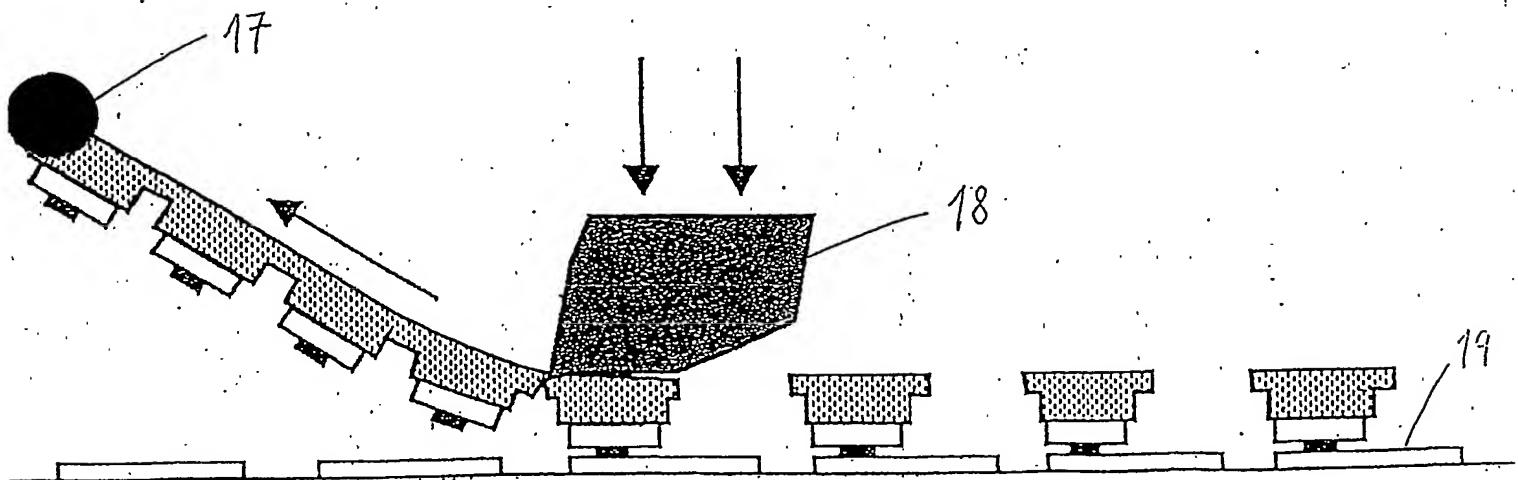


Fig 12b)

02,0809

15/15

55

Fig 13a)

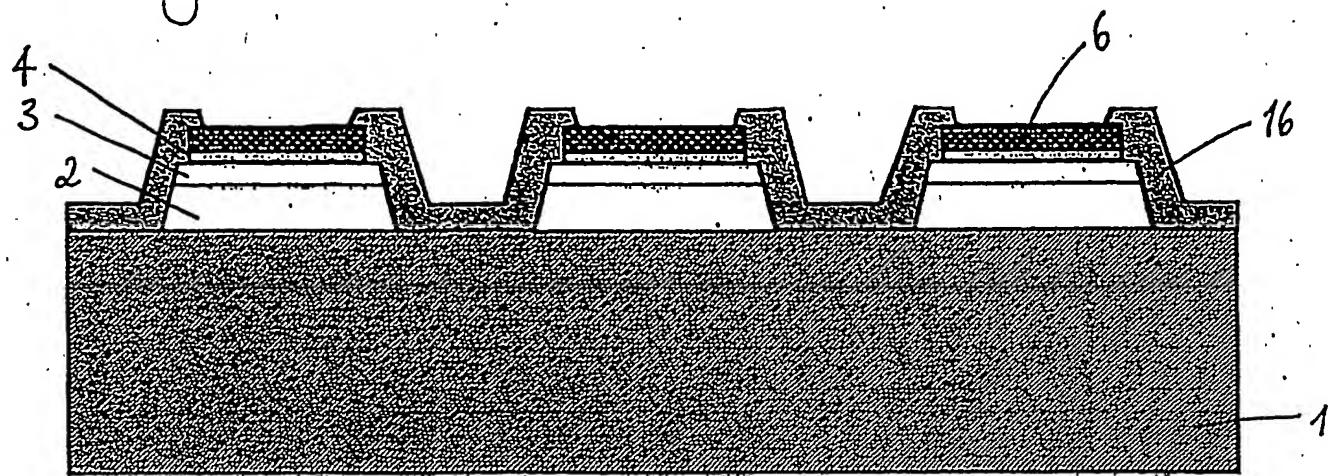
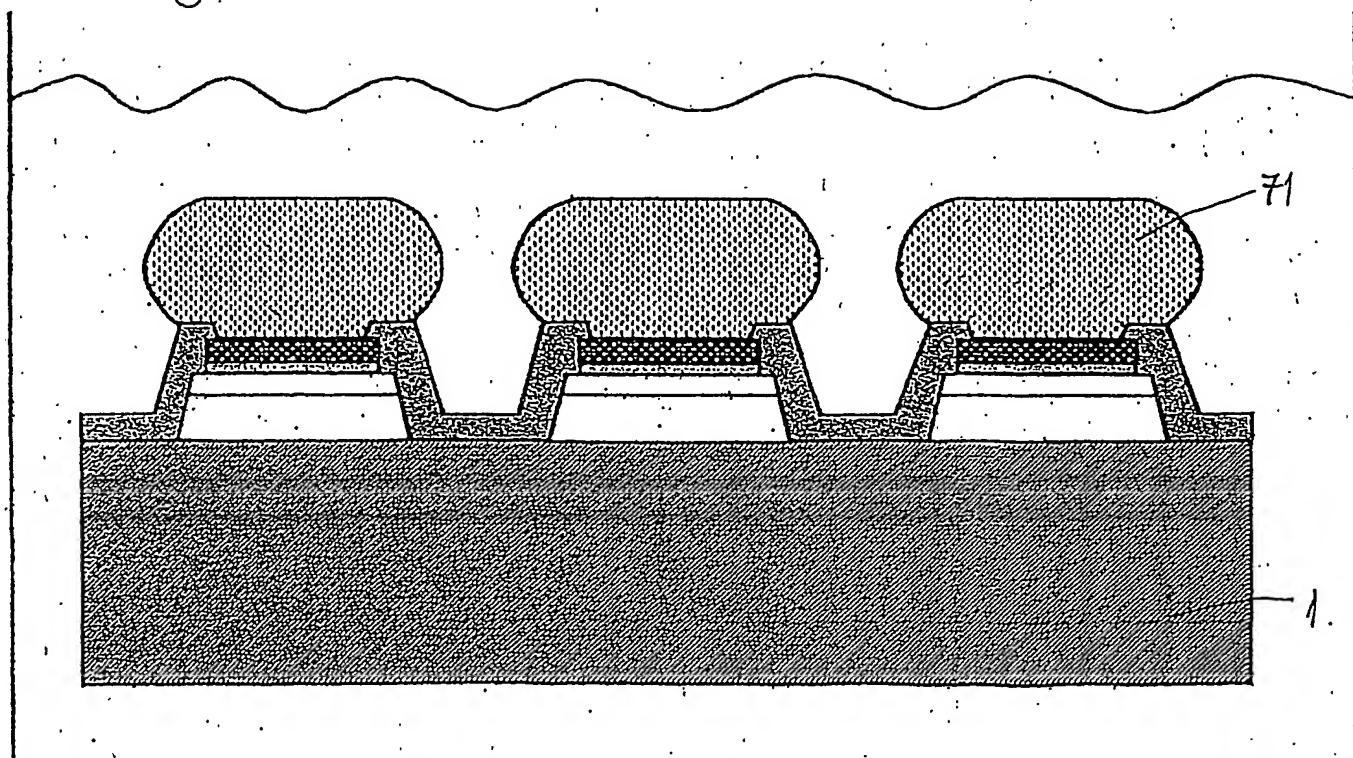


Fig 13b)



# **Document made available under the Patent Cooperation Treaty (PCT)**

International application number: PCT/DE2003/002954

International filing date: 05 September 2003 (05.09.2003)

Document type: Certified copy of priority document

Document details: Country/Office: DE  
Number: 102 45 631.3  
Filing date: 30 September 2002 (30.09.2002)

Date of receipt at the International Bureau: 22 March 2006 (22.03.2006)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse